

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :  
(A n'utiliser que pour les  
commandes de reproduction).

2 266 389

A1

**DEMANDE  
DE BREVET D'INVENTION**

(21)

N° 74 11722

(54) Dispositif de transmission de blocs de données multiples.

(51) Classification internationale (Int. Cl.<sup>2</sup>). H 04 L 1/12.

(22) Date de dépôt ..... 2 avril 1974, à 16 h 28 mn.

(33) (32) (31) Priorité revendiquée : *Demande de brevet déposée aux États-Unis d'Amérique le 2 avril 1973, n. 347.252 aux noms de John Roger Tooley, Larry Dean Scott et Hatcher Edward Chalkley.*

(41) Date de la mise à la disposition du public de la demande ..... B.O.P.I. — «Listes» n. 43 du 24-10-1975.

(71) Déposant : Société dite : TEXAS INSTRUMENTS INCORPORATED, résidant aux États-Unis d'Amérique.

(72) Invention de :

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Lavoix, 2, place d'Estienne-d'Orves, 75441 Paris Cedex 09.

La présente invention se rapporte aux dispositifs de transmission de données, et concerne plus particulièrement un dispositif destiné à transmettre en synchronisme, des blocs multiples de données binaires, simultanément dans les deux sens.

5 Différents dispositifs de transmission de blocs multiples ont été utilisés. Dans ces dispositifs, un nombre fixe de blocs est émis, avant qu'une réponse ne soit transmise. Dans certains dispositifs par exemple, le protocole permet que deux ou trois blocs soient transmis avant qu'une réponse ne doive être reçue. Dans d'autres dispositifs encore, des blocs multiples sont transmis avant une réponse. Mais dans ces dispositifs, si une erreur apparaît dans un bloc, ce bloc et tous ceux qui ont été émis après la dernière réponse doivent être retransmis, qu'ils contiennent une erreur ou non.

L'invention concerne donc un dispositif de transmission avec un meilleur rendement des liaisons de transmission de données dont les délais de propagation sont longs. L'invention concerne aussi un dispositif de transmission de données qui augmente le rendement des liaisons de transmission de données lorsque les temps de traitement sont longs au poste émetteur ou au poste récepteur. L'invention concerne enfin un procédé de transmission duplex synchrone de blocs binaires multiples, selon lequel une erreur reçue dans un bloc de données n'impose pas la retransmission de blocs autres que celui qui contient l'erreur.

Selon l'invention, une circulation continue de données et de réponses est maintenue dans les deux sens, et la mémoire de la ligne de transmission est maintenue pleine. Le protocole de transmission duplex synchrone de blocs binaires multiples permet de transmettre autant de blocs qu'il existe de tampons dans le dispositif de transmission. Une caractéristique de l'invention réside dans le fait qu'30 elle permet de transmettre tout nombre de blocs avant une réponse, tout en n'imposant que la retransmission des blocs de données erronées. Ce résultat est obtenu en utilisant des codes d'identification de blocs qui sont transmis immédiatement devant chaque bloc. Chaque bloc de données transmis est contrôlé en ce qui concerne les erreurs au poste récepteur par l'application d'un contrôle de redondance verticale ou cyclique. Si le contrôle de redondance ne s'avère pas correct, le poste récepteur émet un message de commande qui provoque, au poste émetteur, l'émission du seul bloc de données identifié con-

tenant l'erreur dès que le poste émetteur devient disponible pour cette tâche.

D'autres caractéristiques de l'invention apparaîtront au cours de la description qui va suivre.

5 Aux dessins annexés, donnés uniquement à titre d'exemple nullement limitatif :

la Fig. 1 est un diagramme synoptique du dispositif de transmission duplex synchrone de blocs binaires multiples selon l'invention;

10 la Fig. 2 est un diagramme synoptique de chacun des postes émetteur-récepteur 10 et 11;

la Fig. 3 est un diagramme synoptique du calculateur qui peut être associé aux postes émetteur-récepteur 10 et 11;

15 la Fig. 4 est un diagramme synoptique de l'unité d'émission-réception qui est utilisée dans les postes émetteur-récepteur 10 et 11;

les Fig. 5 et 6 sont des diagrammes détaillés du concentrateur de données et de l'unité 20 d'interface de calculateur de l'unité 15 d'émission-réception;

20 la Fig. 7 est un diagramme synoptique de la partie émetteur de l'émetteur-récepteur 21 de l'unité 15;

les Fig. 8A et 8B constituent ensemble un diagramme synoptique de la partie récepteur de l'émetteur-récepteur 21 de l'unité 15;

25 la Fig. 9A est un diagramme synoptique d'un circuit logique utilisé dans l'émetteur pour effectuer le contrôle de redondance cyclique;

la Fig. 9B est un diagramme synoptique d'un circuit logique utilisé dans le récepteur de l'émetteur-récepteur pour effectuer le contrôle de redondance cyclique.

30 La Fig. 1 illustre le protocole de transmission duplex synchrone de blocs binaires multiples selon l'invention, mettant en oeuvre une procédure de transmission duplex synchrone binaire pour assurer la transmission synchrone de données en code binaire sur des lignes bilatérales. Deux postes émetteurs-récepteurs 10 et 11 sont prévus. Le dispositif de transmission duplex synchrone augmente les possibilités de transmission des dispositifs actuels et futurs de télétraitements, grâce à ses possibilités d'effectuer des transmissions semi-duplex et duplex, en utilisant toute une variété de codes.

Une caractéristique de transparence permet la transmission de caractères de commande, sous différentes formes de données brutes dans le format de messages normal sans aucune signification de commande ou graphique associée. Le dispositif duplex synchrone binaire est 5 également susceptible de s'adapter à une large plage de supports et d'équipements synchrones à grande vitesse.

Les données binaires sont transmises dans le dispositif de transmission duplex synchrone sous forme d'un train en série de chiffres binaires. Selon l'invention, "transmission synchrone" signifie que le poste récepteur actif sur un canal de transmission fonctionne en phase avec le poste émetteur, grâce à l'identification de la combinaison de bits spécifique, appelée combinaison de synchronisation, au début de chaque émission.

La liaison de transmission de données 22 est constituée par des 15 lignes de télécommunications, des modulateurs-démodulateurs ou autres équipements de transmission utilisés pour la transmission en duplex d'informations entre les deux postes 10 et 11. La transmission en duplex permet de transmettre simultanément des données entre les deux postes 10 et 11. Les lignes de transmission 22 peuvent être 20 constituées par exemple par des lignes de télécommunications concédées. L'équipement particulier utilisé à chaque extrémité d'un canal ou à un poste est déterminé par le type de canal de transmission, et par la vitesse de fonctionnement de l'équipement terminal installé à chaque poste. Le dispositif duplex synchrone binaire est 25 destiné par exemple à être associé à des canaux vocaux de haute qualité et à des canaux à large bande.

Toutes les émissions sont faites sur la ligne sous forme d'une série de signaux en code binaire. La commande de la liaison de données 22 est effectuée par la transmission et l'identification de 30 caractères spéciaux de commande de lignes. Ces caractères de commande sont connus sous le nom de caractères de commande de liaison de transmission de données.

La fonction principale du dispositif duplex synchrone binaire consiste à effectuer le transfert ordonné de données d'une position 35 à l'autre en utilisant les lignes de transmission.

Le dispositif duplex synchrone binaire admet par exemple deux groupes spécifiques de codes de transmission. Chacun de ces groupes de code consiste en des caractères graphiques (numériques, alphabé-

tiques et spéciaux), en des caractères fonctionnels (par exemple HT-tabulation horizontale, DEL-effacement), et en des caractères de commande de liaison de transmission de données (par exemple STX-début de texte). Chaque code offre des possibilités différentes pour 5 des affectations totales, graphiques et fonctionnelles. Ces possibilités reflètent la souplesse des deux codes EBCDIC (code d'échange décimal-codé-binaire étendu) et USASCII (code standard des Etats-Unis d'Amérique pour l'échange d'informations). Si l'un ou l'autre de ces groupes de code est utilisé en mode transparent, la souplesse 10 du dispositif de télécommunications est encore augmentée car toutes les configurations binaires possibles sont traitées (données seulement) comme dans un texte transparent. Pour ce mode de fonctionnement, toutes les restrictions d'affectation sont éliminées du groupe 15 de code utilisé. Un bit de parité est également disponible comme bit de données lors de la transmission de données en code USASCII transparent. Cette possibilité supplémentaire du dispositif duplex synchrone binaire signifie que, à l'intérieur du message standard, un format de tout type d'information codées peut être manipulé dans un mode de texte transparent. Le dispositif peut également être adapté 20 pour traiter d'autres groupes de code.

Le dispositif selon l'invention de transmission duplex de blocs multiples permet de transmettre des données en duplex avec un rendement maximal. Ce résultat est obtenu principalement par le fait que le traitement des erreurs est optimisé de manière à effectuer une 25 transmission continue des données, sans duplication des données valables dans le cas d'une erreur. Le dispositif peut être réalisé sous une forme matérielle ou sous une forme matérielle-logicielle.

La Fig. 2 illustre un mode de réalisation matériel-logiciel des postes émetteurs-récepteurs 10 et 11. Dans le dispositif selon ce 30 mode de réalisation de l'invention, chacun des postes 10 et 11 est constitué par un dispositif de traitement de données ou calculateur 12 qui contient des programmes câblés ou des programmes enregistrés 13, un canal de mémoire 14, une unité 15 d'émission-réception, une interface de ligne et/ou modulateur-démodulateur 16 et une liaison 55 de transmission de données 22 vers l'autre poste 10 ou 11 semblable. Chaque poste 10 et 11 est susceptible d'émettre et de recevoir des successions de codes de commande et des données, ainsi qu'il sera décrit en détail par la suite.

La Fig. 3 montre que le calculateur 12 consiste en un calculateur universel tel que le 980A fabriqué et diffusé par Texas Instruments Inc., et qu'il est constitué par une unité centrale de traitement 17 et une unité de mémoire 18. Un sous-ensemble 19 d'adressage direct de la mémoire par le canal de mémoire 14 permet de mémoriser des données à la commande de l'unité 15 d'émission-réception. Le calculateur 12 contient également des programmes de commande câblés ou enregistrés qui, selon le présent mode de réalisation, commandent dans une large mesure le fonctionnement du dispositif de transmission de manière à effectuer le traitement optimisé des erreurs mentionnées précédemment.

Le dispositif de transmission selon l'invention peut être mis en oeuvre dans des ensembles actuellement commercialisés, tel que le IBM 2701, ou le dispositif de transmission fabriqué par Bolt Bereneck and Newman de Boston, Massachusetts, par addition du logiciel approprié qui sera décrit en détail par la suite. Le dispositif peut également être réalisé selon le mode de réalisation décrit ci-après.

La Fig. 4 montre que l'unité 15 d'émission-réception est constituée par une unité 20 de concentrateur de données et d'interface de calculateur, et par un émetteur-récepteur 21. L'unité d'interface de calculateur 20 est connectée au canal de mémoire de calculateur 14 et l'émetteur-récepteur est connecté à l'interface de ligne et/ou modulateur-démodulateur 16.

Le concentrateur de données et unité d'interface de calculateur 20 adapte les caractéristiques de calculateur 12 aux caractéristiques de l'émetteur-récepteur 21. L'unité 20 de concentrateur de données et d'interface de calculateur reçoit, accuse réception et mémorise dans l'unité de mémoire du calculateur chaque mot d'état qui provient de l'émetteur-récepteur 21. L'unité 20 reçoit également, reconnaît et effectue un traitement sur des commandes provenant du calculateur 20. Chaque commande est donnée, par exemple, dans des mots de seize bits qui informent l'unité 20 qu'elle a à remplir une ou plusieurs tâches, telles que transférer un bloc de données de l'émetteur-récepteur 21 à l'unité de mémoire 18 en chargeant chaque mot par le canal de mémoire 14, accuser réception de chaque mot chargé, et mémoriser le mot dans une position spécifiée de l'unité de mémoire 18; transférer des mots de commande provenant du calcu-

lateur 12 à l'émetteur-récepteur 21 en extrayant chaque mot de l'unité de mémoire 18, en le chargeant et en déterminant si l'émetteur-récepteur a accusé réception de chaque mot. L'unité 20 est un canal semi-duplex car il peut extraire un mot de l'unité de mémoire 18 ou 5 mémoriser un mot dans cette unité, mais non simultanément. Cependant, l'unité 20 a l'apparence d'un canal duplex en raison de sa grande vitesse de fonctionnement.

Les opérations de l'unité de concentrateur de données et d'interface du calculateur sont, à l'exception des interruptions d'état 10 et des interruptions de conditions d'erreurs, commandées par le logiciel 13 de commande de calculateur selon l'invention. L'unité 20 est un processeur à double programme enregistré. Deux chaînes d'instructions de transfert de données et de commande du concentrateur de données et de l'interface de calculateur sont mémorisées dans l'unité de mémoire 18 par le logiciel de commande 13, l'une pour les transferts de départ et l'autre pour les transferts d'arrivée. Une commande de calculateur vers le concentrateur de données et unité d'interface de commande, désignée par commande ATI, déclenche l'unité 20 avec les adresses de début d'une chaîne d'instructions de l'unité de mémoire 18. L'unité 20 exécute alors la chaîne d'instructions qui ne nécessite aucune autre intervention de l'unité centrale de traitement 17 du calculateur 12. Dans le cas où le logiciel de commande 13 ne comprend qu'un seul mot de commande câblé ou un mot d'adresse d'état pour l'unité 20, le mode en programme enregistré 25 est inutile. Un seul mot est transféré comme le second des deux mots qui constituent une commande ATI. De même, le second mot de commande ATI peut être utilisé pour acheminer du calculateur vers l'émetteur-récepteur, ou un mot de commande transmis de l'unité 20 à l'émetteur-récepteur 21. Dans le mode en programme enregistré, le second mot 30 de commande ATI est l'adresse de début du programme enregistré dans la mémoire.

L'unité 20 de concentrateur de données et d'interface du calculateur est représentée plus en détails sur les Fig. 5 et 6. Les circuits des Fig. 5 et 6 sont réalisés en logique câblée et ils 35 sont commandés en fonction du logiciel de commande 13 qui réside dans le calculateur 12 ainsi qu'il sera décrit plus en détail par la suite. Selon la Fig. 5, un circuit de commande 22 fournit l'état de mémoire ou des registres de mémorisation au circuit de commande

d'interruption 23 par lequel l'état de mémoire est transmis au circuit de commande de mémoire 25. Le circuit de commande d'interruption 23 reçoit des signaux d'interruption provenant du circuit de commande 22, du circuit de fonction logique 24, du circuit de commande de réception 26 et du circuit de commande de réception DMA-29 (accès direct à la mémoire) et du circuit de commande d'émission DMA 32 pour un segment complet. Le circuit de commande d'interruption 23 sollicite des interruptions du calculateur 12 et reçoit des signaux de ce calculateur lorsque l'interruption est reconnue. Le circuit de commande de mémoire 25 commande la mémorisation des données et émet un signal de mémoire vers le calculateur 12. Le circuit de commande de mémoire reçoit également des signaux de données reçus de la mémoire, provenant du circuit de commande 28 de transfert de blocs à la réception. Le circuit 24 de fonction logique générale émet des signaux de demande d'accès D ACC et reçoit des signaux d'accès accordé A ACC et des signaux d'erreur de parité EP qui sont aiguillés par le circuit de fonction 24 pour solliciter une interruption du circuit de commande d'interruption 23. Le circuit de commande 29 de réception DMA sollicite des interruptions du circuit de commande d'interruption 23 lorsque des segments sont complets. Le circuit 29 de commande de réception DMA émet également des signaux de réception d'un bloc de données vers le circuit de commande 28 de transfert de blocs à la réception, et des signaux de liste d'extraction vers le circuit de commande d'extraction pour que ce dernier commande une extraction dans la mémoire 18. Le circuit de commande 29 de réception DMA émet également une commande de mode "groupé/non groupé" vers le circuit de commande 27 de groupement de données. Le circuit de commande 27 de groupement de données reçoit des signaux de file d'attente BSCTR QUE provenant de l'émetteur-récepteur 21 et des signaux d'interruption d'état BSCTR INT provenant de l'émetteur-récepteur 21. Lorsque l'interruption est acceptée par le circuit de commande 27 de groupement de données, un signal d'acceptation BSCTR ACC est retourné à l'émetteur récepteur 21. Les mots reçus groupés ou non à la commande du circuit de commande 29 de réception DMA, sont transmis au circuit de commande de réception 26 qui demande une interruption d'état de réception du circuit de commande d'interruption 23, et transmet les données reçues au circuit de commande 28 de transfert de blocs à la réception. Le circuit de commande d'

extraction 30 reçoit des signaux de liste d'extraction provenant à la fois du circuit de commande de réception DMA 29 et du circuit de commande d'émission DMA 32. Il reçoit également des signaux d'extraction de données provenant du circuit de commande 31 de transfert de 5 bloc à l'émission et en réponse, il commande l'extraction des listes de données dans la mémoire 18. Le circuit de commande d'émission DMA 32 sollicite des interruptions du circuit de commande d'interruption 29 lorsque des segments sont complets. Le circuit de commande 32 signale également au circuit de commande d'émission 33 qu'il doit 10 émettre une liste de données ou de mots de commande. Le circuit de commande d'émission 33 transfère les mots transmis par le circuit de commande 34 de non-groupage de données. Le circuit de commande d'émission DMA 32 commande également le mode groupé/non groupé du circuit de commande 34 de groupement de données. Ce dernier émet des 15 signaux de file d'attente ESCII QUE et des signaux de commande ESCII COM vers l'émetteur-récepteur 21 qui lui répond avec un signal d'acceptation BSCTR ACC. Le circuit de commande d'émission 33 signale également au circuit de commande de transfert de bloc à l'émission qu'il doit transmettre des mots de données, en réponse à quoi 20 le circuit de commande 31 de transfert de bloc à l'émission sollicite l'extraction de données au circuit de commande d'extraction 30.

La Fig. 6 montre que les données lues dans la mémoire sont transmises au registre d'émission 35, et du registre d'émission 35 au registre de numéro 36, au registre 39 de début R de réception, 25 au registre 37 de comptage T d'émission, au registre 40 de début T d'émission, au sélecteur 42 d'entrée de registre d'adresse de réception, au sélecteur 44 d'entrée de registre d'adresse T d'émission, au circuit de contrôle de parité 51, ou au tampon d'émission 52. Les données reçues par le tampon d'émission 52 sont transférées au circuit de groupement de données 53, puis au circuit d'essai de boucle de fonction 54. Lorsque l'essai de boucle de fonction a été exécuté sur les données, ces dernières sont émises par le circuit d'essai 54. Le sélecteur 42 d'entrée de registre d'adresse R de réception reçoit également des données provenant du registre de début 35 R 39 et le sélecteur d'entrée de registre d'adresse T d'émission reçoit des signaux provenant du registre 40 de début T d'émission. Le sélecteur 42 d'entrée de registre d'adresse de réception fournit alors une adresse au registre 47 d'adresse R de réception, et le

sélecteur 44 d'entrée de registre d'adresse T d'émission transmet les adresses au registre 48 d'adresse T d'émission. L'adresse du registre 47 ou 48 est alors transmise au sélecteur 49 d'adresse de mémoire, ou mise en chaîne par la boucle du registre 41 de chaîne 5 de réception vers le sélecteur 42 d'entrée de registre d'adresse R de réception, ou par la chaîne du registre 45 de chaîne T d'émission, vers le sélecteur 44 d'entrée de registre d'adresse T d'émission. Le registre d'état 43 reçoit les données provenant du registre d'émission 45, qui sont additionnées avec le contenu du registre de 10 comptage d'états 55 dans l'additionneur 46, qui est utilisé par le sélecteur 49 d'adresse de mémoire pour sélectionner une adresse en fonction des contenus du registre d'état 43 et du registre de comptage d'états 55. Une adresse sélectionnée par le sélecteur 49 d'adresse de mémoire est aiguillée par le circuit de fonction d'aiguillage d' 15 adresse 50 pour produire une adresse de mémoire destinée à l'adres- sage de l'unité de mémoire 18.

Les données reçues sont transmises à l'unité 54 de contrôle de boucle de fonction, puis au tampon récepteur 55. Un circuit basculeur 56 de premier caractère est passé à l'état "1" à la réception 20 du premier caractère et un signal est émis vers le tampon de récep- tion pour l'indiquer. Les données sont ensuite transférées au regis- tre de réception. Du registre de réception, les données sont trans- férées au sélecteur de données d'écriture de mémoire et au second et au troisième registre d'état 59 et 60 respectivement. Le premier 25 registre d'état 58 et le second et le troisième registre d'état 59 et 60 transmettent l'état reçu au multiplexeur 61 de données d'écri- ture dans la mémoire. Le multiplexeur 61 de données d'écriture dans la mémoire reçoit également les contenus du registre 47 d'adresse R de réception, du registre 38 de comptage R de réception, du regis- 30 tre 39 de début R de réception, du registre 41 de chaîne R de récep- tion, du registre 48 d'adresse T d'émission, du registre 37 de comp- tage T d'émission, du registre 40 de début T d'émission, du registre 45 de chaîne T d'émission, du registre de numéro, du registre d'émis- sion 35, du tampon d'émission 52, du registre de réception 57 et du 35 tampon de réception 55. En fonction de ces signaux, le multiplexeur 61 de données d'écriture dans la mémoire indique au sélecteur 62 de données d'écriture dans la mémoire qu'il doit transférer les données du registre de réception 57, par l'intermédiaire du circuit 64 de

fonction d'aiguillage de données, pour les écrire dans l'unité de mémoire 18. En outre, le générateur de parité 63 délivre un signal de parité qui est également transmis à l'unité de mémoire 18.

Le circuit d'émetteur de l'émetteur-récepteur 21 peut être du type illustré par la Fig. 7. Sur cette figure, une horloge d'émission 72 est prévue pour fournir des impulsions d'horloge au synchroniseur d'émission 73. Ce dernier synchronise les impulsions d'horloge émises par l'horloge 72 et l'horloge d'émission du modulateur-démodulateur 10 depuis l'unité d'interface du modulateur-démodulateur jusqu'à la porte d'émetteur synchrone binaire et registre de fonction 70 et au compteur composite 77.

Le circuit 70 de portes et de registres reçoit les données, la file d'attente et les mots de commande de l'utilisateur, avec l'horloge synchronisée et un comptage binaire, un délai et un comptage 15 de synchronisation provenant du circuit de compteur composite 77.

Les données sont transmises du circuit 75 de registre de données à l'unité d'interface de modulateur-démodulateur. Ces données sont transmises par le circuit 70 de portes et de registres, au circuit 75 de registre de données. Le circuit 70 fournit également des signaux d'horloge de registre de données DRC, des signaux SEL, DLE, SEL, SYN, SEL D, SEL S/R et CRC au circuit de registre de données 75. Le circuit de portes et de registres 70 fournit également des signaux SDH, SDX, ENQ, ETB, ETX, ITB, STICK, NAK, de délais et de remplissage DEL, d'arrêt sur DLE et des signaux DLE au circuit 74 de commande d'état d'émetteur. Lorsque tous les états sont présents, le circuit 74 de commande d'état d'émetteur retourne un signal au circuit 70 de portes et de registres. Ce dernier fournit également des signaux de comptage de synchronisation d'incrément, de mise à zéro de délai et de comptage de synchronisation de mise à zéro, au circuit 77 de compteur composite.

Les données qui sont transmises par l'intermédiaire du circuit 75 de registre de données sont cyclées pour le circuit 76 d'erreur à l'émission qui effectue un contrôle de redondance cyclique (CRC) lorsque le signal de mode CRC est présent. Le circuit 76 d'erreur 35 à l'émission est décrit plus en détail en regard de la Fig. 9A. Un circuit 71 de mots de commande d'émetteur reçoit également les données d'utilisateur et le mot de commande d'utilisateur et il fournit un signal d'arrêt sur DLE au circuit 70 de portes et de regis-

tres. Le circuit 71 de mots de commande d'émetteur fournit également les signaux de modulateur-démodulateur de texte, et de demande d'émission à l'unité 16 à interface de modulateur-démodulateur. Le circuit 71 de mot de commande d'émetteur émet également des signaux de mise 5 à zéro de récepteur MAZR, de démarrage de récepteur DENR, de caractère non reconnu CNR, d'alarme d'autorisation de parité AAP, d'état d'émission EE, d'arrêt de récepteur AR et de passage SOH/STX, vers la partie réception de l'émetteur-récepteur 21.

La partie réception de l'émetteur-récepteur 21 peut être du type illustré par les Fig. 8A et 8B. Ces figures montrent que le récepteur est constitué par un circuit 83 de registre de données de récepteur synchrone binaire qui reçoit les données provenant du modulateur-démodulateur 16, et transfère les données tamponnées à l'unité logique S2. Les données circulent également vers le circuit logique 15 84 de fonction d'erreur, qui exécute le contrôle de redondance cyclique sur les blocs de données reçues. Le circuit logique 84 de fonction d'erreur est décrit plus en détail en regard de la Fig. 9B. S'il existe une erreur, cela est indiqué à l'unité logique 82 par un signal d'état d'erreur. Le récepteur comprend également un circuit 20 81 de commande d'état qui établit plusieurs états logiques en fonction des caractères de commande transmis au circuit 83 de registre de données, et de ce dernier vers le circuit 81 de commande d'état. Les états logiques établis par le circuit de commande d'état et les caractères de commande sont ensuite transmis au circuit 80 de portes 25 et de registres. Le récepteur comporte également un circuit d'horloge 78, un circuit synchroniseur 79 et un circuit compteur composité 85 qui remplissent des fonctions semblables à celles des unités correspondantes de la partie émetteur de l'émetteur-récepteur.

La liaison de transmission de données est destinée à fonctionner point à point. Pour le fonctionnement duplex point à point, les deux postes (10 et 11 de la Fig. 1) peuvent utiliser simultanément les lignes de transmission 22. Le fonctionnement du dispositif est le suivant.

Une transmission consiste en un ou plusieurs blocs de données. 35 Ces subdivisions majeures sont appelées blocs de texte. Les blocs de texte peuvent à leur tour être divisés en blocs de transmission. Un bloc de transmission est divisé en blocs de texte pour faciliter la manipulation des données et la gestion des tampons dans les pos-

tes émetteurs et récepteurs. Les blocs de texte peuvent être en outre divisés en blocs de transmission, afin de permettre un contrôle plus efficace des erreurs et des débits de données plus élevés que ne le permettent les blocs de texte. Les blocs de données sont identifiés par une séquence de caractère de commande DLE STX (début de texte), qui précède immédiatement chaque bloc. Chaque bloc de transmission, à l'exception du dernier, est immédiatement suivi par une séquence de caractère de commande DLE ETB (fin de transmission de bloc). Le dernier bloc de transmission d'un bloc de texte est immédiatement suivi par une séquence de caractère de commande DLE ETX (fin de texte). Une liaison de bloc de texte maximale est spécifiée pour chaque liaison de transmission de données basée sur des considérations de mémoire tampon aux postes d'émission et de réception.

Chaque bloc de données émis et les séquences ACK (accepté, poursuivre l'émission) NAK (données non acceptées, par exemple une erreur de transmission a été détectée) et RSF (retransmettre) sont contrôlés en ce qui concerne les erreurs au poste récepteur par l'utilisation d'un contrôle de redondance cyclique qui exécute le contrôle du bloc après qu'il a été reçu.

Après chaque bloc, le poste récepteur répond avec un message de commande ACK si le contrôle de redondance cyclique est correct. Si ce contrôle de redondance cyclique n'est pas correct, le poste récepteur émet un message de commande NAK qui provoque la retransmission du bloc de données par le poste récepteur. La retransmission d'un bloc de données après un message de commande NAK initial est tentée trois fois par exemple. Le poste émetteur ne reçoit aucun message de réponse si le message de réponse contient une erreur de contrôle de redondance cyclique, et le poste émetteur peut demander une retransmission du message de réponse en émettant un message de commande RSF.

Le contrôle de redondance cyclique est un procédé de contrôle d'erreur dans les blocs de données. Ce contrôle consiste en une division effectuée par le poste émetteur et le poste récepteur. Le circuit logique d'émetteur est représenté sur la Fig. 9A et le circuit logique de récepteur sur la Fig. 9B. Dans les deux cas, les circuits sont réalisés avec des registres à décalage et les additionneurs. En outre, le circuit logique de récepteur comporte une porte ET 102 qui fournit un signal d'erreur. En utilisant les valeurs binaires

numériques du message comme un dividende, la division est effectuée en utilisant un diviseur constant. Le quotient est négligé et le reste constitue le code BCC de contrôle de bloc qui est transmis immédiatement après une séquence de commande de point de contrôle 5 (DLE ETB), DLE ETB ou DLE DTX). Le poste récepteur compare le reste émis à son propre reste calculé et, s'ils sont égaux, ne constate aucune erreur. L'accumulation BCC est ramenée à zéro au passage dans le mode de texte par la première séquence DLE STX où le démarrage DLE SRP de la séquence de réponse reçue dans le mode inactif. L'accumulation BCC consiste en deux multiplets qui sont transmis sur la ligne, mais peut être considérée fonctionnellement comme une simple séquence. Un exemple de code hexadécimal pour les caractères de commande du protocole de transmission duplex synchrone binaire par bloc multiple est donné par le Tableau I.

15

TABLEAU I

## Codes de caractères de commande MBSD

	<u>Caractère de commande</u>	Code Hexa
	DLE STX	10 02
20	DLE ETX	10 83
	DLE ITB	10 IF
	DLE ETB	10 97
	DLE SRP	10 08
	ACK	86
25	NAK	15
	RSP	85
	SYN	16

La constante de division utilisée dans le dispositif duplex synchrone binaire est  $2^{16} + 2^{15} + 2^2 + 1$ . Si le récepteur trouve que 30 son reste calculé n'est pas égal au reste transmis, il demande une retransmission du bloc en répondant avec un message de commande NAK ou un message RSP. Il continue la retransmission jusqu'à ce qu'à un essai, il obtienne l'égalité entre les deux restes. Le récepteur répond alors avec un accusé de réception positif. Si le nombre de re- 35 transmissions dépasse un maximum prédéterminé, 3 par exemple, une faute d'équipement est signalée.

Les procédures de contrôle d'erreur utilisées dans le dispositif duplex synchrone binaire selon l'invention réduisent la probabilité d'accepter un bloc de données ou un message de réponse avec une ou plusieurs erreurs de transmission. La probabilité d'erreur non détectée dans un bloc et le débit peuvent être optimisés pour différentes fréquences d'erreur en ligne en réglant la liaison de blocs de données. Chaque poste règle sa liaison de transmission en utilisant DLE ITB ou DLE ETB afin d'optimiser les performances de la liaison de données. L'examen des codes de caractères de commande donnés dans le Tableau I montrent que deux ou plusieurs erreurs sont nécessaires pour transformer un caractère de commande en un autre. Une seule erreur conduit à une configuration d'erreur tronquée et par conséquent, détectable. La probabilité d'une erreur de caractère de commande non détectée est environ quatre fois  $P_0^2$ , où  $P_0$  est égal à la probabilité d'erreurs en ligne. Les messages de commande ACK, NAK et RSP sont émis en utilisant un contrôle de redondance cyclique et ainsi, ne soulève pas le problème précité.

La commande de la liaison de transmission de données est maintenue par l'utilisation des séquences de commande et des messages de commande ci-après: SYN (inactivité synchrone), DLE STX (début de texte), DLE ITB (fin de bloc de transmission intermédiaire) DLE ETB (fin de bloc de transmission), DLE ETX (fin de texte) ACK (accusé de réception affirmatif), NAK (accusé de réception de message négatif), message RSP (retransmission de message), ACK, NAK ou RSP, DLE SRP (début de message de réponse) et DLE (changement de code sur la liaison de transmission de données).

L'inactivité synchrone SYN est utilisée pour établir et maintenir la synchronisation. Deux SYN contigüs au début de chaque transmission sont désignés par configuration de synchronisation de caractère-phase. Pendant les périodes d'inactivité, des caractères tampon "tous les "1" sont émis plutôt que SYN. La séquence de caractères DLE STX de début de texte précède un bloc de données de texte. Dans le mode d'inactivité, la réception de DLE STX déclenche le mode de texte. La séquence de caractères DLE ETB de fin de bloc de transmission indique la fin d'un bloc de données de texte commencé par DLE STX et provoque un passage au mode d'inactivité. La structure de mise en bloc n'est pas nécessairement liée au format de traitement. Le caractère de contrôle de bloc est émis immédiatement après DLE

ETB. Ce dernier appelle un message de réponse ACK ou NAK du poste récepteur. La séquence de caractères DLE ITB de fin de bloc de transmission intermédiaire est utilisée pour diviser un bloc de texte dans un but de contrôle d'erreur sans appeler de réponse. Le caractère de contrôle de bloc suit immédiatement DLE ITB et ramène à zéro l'accumulation de contrôle de redondance cyclique. Après chaque bloc de texte intermédiaire, les blocs successifs commencent avec DLE STX.

La réponse normale du récepteur apparaît après le dernier bloc intermédiaire qui est terminé par DLE ETX ou DLE STB. Lorsque l'une de ces séquences de fin est reçue, le poste récepteur répond à l'ensemble complet de blocs intermédiaires. Si une erreur de contrôle de redondance cyclique est détectée pour l'un des blocs intermédiaires, une réponse négative NAK est émise, ce qui impose la retransmission de tous les blocs intermédiaires. La séquence de caractères DLE ETX de fin de texte termine un bloc de texte commandé par DLE STX ou un message ACK, NAK ou RSP commandé par DLE SRP. Le BCC est émis immédiatement après DLE ETX. Ce dernier réclame un message de réponse du poste récepteur. Cette séquence de caractères provoque un passage du mode de texte au mode inactif après BCC. Un exemple de transmission unilatérale dans le protocole duplex synchrone binaire à blocs multiples selon l'invention est donné dans les tableaux II et III ci-après.

#### TARLEAU II

##### Exemple unilatéral de MESD

S S	S S	S S		S S	D S
Y Y	Y Y	Y Y		Y Y	L T
N N	N N	N N		N N	E X
DS LT TEX- EX	DEB LTC TE EBC	DS LT TEX- EX	DEB LTC TE EXC	DS LT TEXTE EX	DEB LTC EX
				T E EX	DEB LTC EX

A	M	A	M
C	E	C	E
K	S	K	S
S		S	
A		A	
G		G	
E		E	

TABLEAU III

## Utilisation de DLE ITB

D S	D I B	D S	D I B	D S	D I B	D S	D E B
L T	TEXTE						
S X	E B C	E X	E B C	E X	E B C	E X	E X C

Appartient à l'ensemble  
du groupe

A	M
C	E
R	S
S	S
A	G
E	

L'organisation des blocs de texte est décrite par le Tableau 15 IV. Tous les blocs de texte commencent par DLE STX. Les seize bits qui suivent désignent le numéro de séquence. Ce numéro commence par un zéro et croît jusqu'à  $FFFF_{16}$ . Lorsque le numéro de séquence de blocs dépasse  $FFFF_{16}$ , il est ramené à zéro. Les blocs de texte se terminent avec DLE ETX suivi immédiatement de deux multiplets BCC.  
20 Les blocs de transmission dans un bloc de texte se terminent par DLE ETB. Les blocs de transmission intermédiaires se terminent par DLE ITB, DLE ETB et DLE ITB sont suivis immédiatement par les deux multiplets BCC.

Le Tableau V montre le format des messages de réponse. Ces 25 messages sont utilisés comme réponses d'état aux blocs de transmission (ACK, NAK) et sollicitent la retransmission des messages (RSF) ACK, NAK. Tous les messages de réponse commencent par la séquence de caractère DLE SRP. Les seize bits suivants dans le numéro de séquence du bloc de données auquel cette réponse s'applique sont suivis par le caractère de réponse (ACK, NAK, RSF). Après la séquence de commande se trouve la séquence DLE ETX, suivie par le BCC. Le Tableau VI donne un exemple de séquence de message ACK, le Tableau VII donne un exemple de message NAK et le Tableau VIII donne un exemple de séquence de messages RSF.

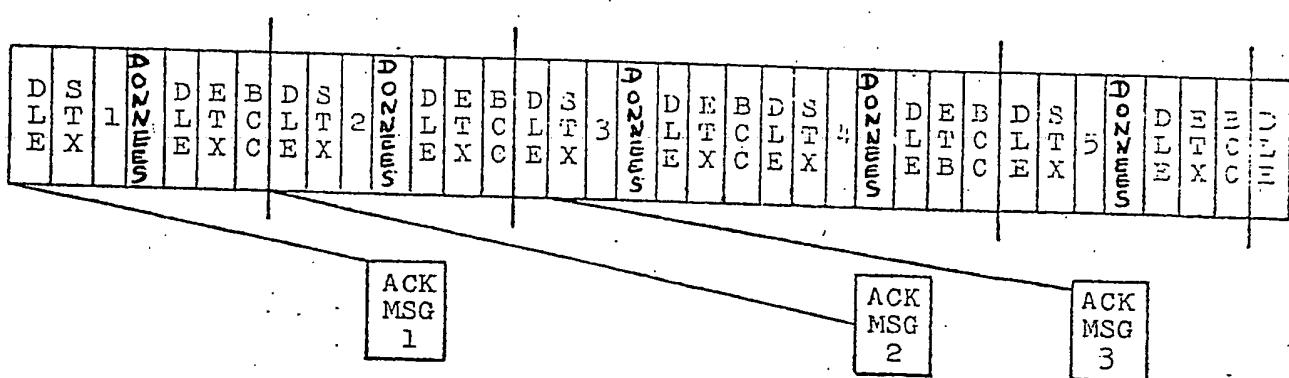
TABLEAU IV  
Organisation des blocs de texte

8 Bits		X Bits	16 Bits	
D S L T E X	Nº de séquence 0- FFFF <sub>16</sub>	Données de texte		D E L T E X      B C      C
16 bits	16 Bits		16 Bits	

TABLEAU V  
Format du message de réponse

16 Bits	16 Bits	8 Bits	16 Bits	16 Bits
DLE SRP	Nº de sé- quence	Caractère de réponse	DLE ETX	B C C

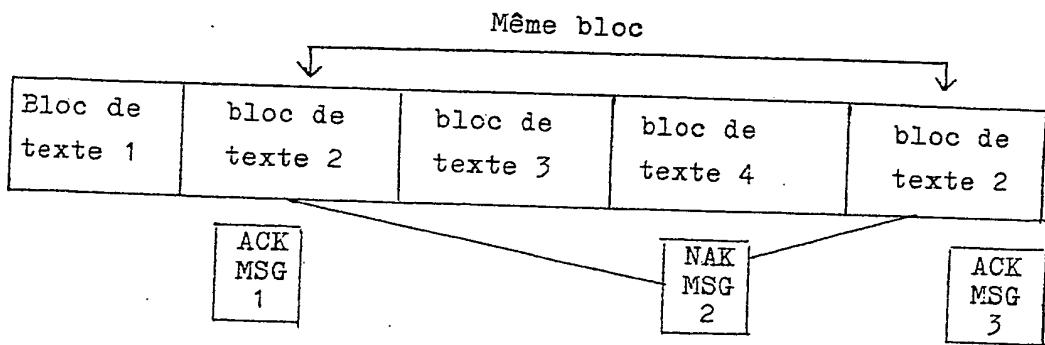
TABLEAU VI  
Exemple de message ACK



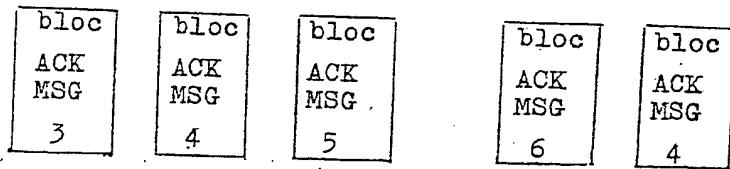
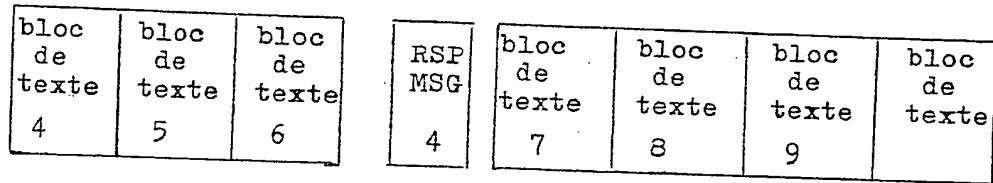
2266389

TABLEAU VII

Exemple de message NAK

TABLEAU VIII

Exemple de message RSP



↑  
Cette réponse est perdue ou erronée quand elle a été reçue au poste émetteur.

↑  
Retransmis

La séquence de code de commande DLE SYN est utilisée pour vérifier la synchronisation ou comme une séquence de remplissage dans un bloc de transmission. La séquence de code de commande DLE ENQ est utilisée pour avorter un bloc de transmission. Une séquence de code de commande DLE DLE est utilisée pour permettre la transmission de DLE comme donnée lorsque la configuration de bits équivalent à DLE apparaît dans un bloc de transmission. Le premier DLE est négligé et l'autre est traité comme une donnée. Une séquence de code de commande DLE ITB indique la fin d'un bloc intermédiaire et une séquence de commande DLE SRF indique le début d'une réponse. Le DLE STX suivant un bloc intermédiaire peut être précédé par SYN SYN. La séquence de codes de commande SYN SYN n'est pas comprise dans le BCC.

Des données transparentes et des réponses sont reçues sur la base d'un caractère à la fois, de manière que la phase de caractère soit maintenue.

L'inclusion du caractère de commande dans le BCC s'effectue de la manière suivante: DLE est introduit s'il est précédé par DLE. Le premier DLE qui a été introduit par le poste émetteur n'est pas inclus. Les deux caractères de la séquence DLE STX suivant un ITB sont inclus. DLE n'est pas inclus, à l'exception des deux conditions précédentes. STX et SRF ne sont pas inclus, excepté dans la seconde condition pour STX, ETB, ITB et ETX sont toujours inclus. SYN n'est inclus que s'il se trouve dans une réponse ou un bloc de texte, sans être précédé par DLE. Les numéros de séquence sont inclus dans le BCC. Les caractères SYN émis à l'extérieur des blocs de texte ou de réponse n'impose pas d'être précédé par DLE.

Selon l'invention, l'utilisation effective de liaisons de transmission de données en duplex et à long retard, selon les procédures duplex synchrones binaires à blocs multiples, imposent l'utilisation correcte de séquences de commande sur la liaison de transmission de données. Les communications effectives sont obtenues en transmettant les blocs de données multiples dans les deux sens avant d'attendre les réponses et en intercalant les blocs de données et les messages de réponse. Les retards sont définis afin d'éviter des délais indéfinis dus à la formation d'erreurs ou à des mauvais fonctionnements matériels. Le dispositif de communication duplex synchrone à blocs multiples introduit également des formats de synchronisation en raison de la nature binaire en série des transmissions.

sur des circuits concédés. Des liaisons de transmission de données à long retard sont définies comme celles qui introduisent de longs retards entre le moment où les données sont émises et la réponse au moment où elles sont reçues. Plusieurs raisons provoquent ce retard, 5 y compris les longs temps de propagation commé dans le cas de transmission par satellite, et les longs délais de traitement au poste récepteur. Le dispositif selon l'invention résoud ces problèmes par le fait qu'il transmet suffisamment de données pour remplir l'ensemble de la mémoire de la liaison de transmission de données, cette 10 te "mémoire" étant définie par le nombre de données qui peuvent être transmises pendant le temps de retard aller et retour. Ce temps de retard aller et retour est égal au temps de propagation aller et retour augmenté du temps de traitement au poste récepteur nécessaire pour retourner une réponse.

15 Pour commencer une transmission, l'émetteur commence l'émission lorsqu'il a des données à émettre. Aucune séquence d'appel en ligne n'est nécessaire car il est supposé que le poste récepteur est toujours prêt à recevoir. Des messages de retard et de réponse amènent éventuellement les deux postes en synchronisme si le récepteur n'est 20 pas prêt à recevoir. Les périodes d'inactivité sont remplies périodiquement avec des blocs de données contenant des bits "0", ainsi qu'il sera décrit plus en détail par la suite.

Avec la procédure ci-dessus, l'émetteur peut émettre autant de données qu'il a de tampons, sans recevoir de réponse. Pour tirer 25 profit au maximum de la liaison de transmission de données, cette quantité de tampons doit être égale ou supérieure à la mémoire de la liaison de transmission de données. Cela peut nécessiter d'avoir davantage de tampons au poste récepteur suivant la manière dont ces tampons sont gérés, en raison des courts blocs de données. Lorsque 30 le poste récepteur reçoit chaque bloc de données, le BCC et le numéro de séquence sont contrôlés. Si le BCC correspond et si le numéro de séquence est supérieur d'une unité au dernier reçu, excepté après une mise à zéro, le récepteur émet un message de réponse ACK avec le même numéro de séquence de bloc. Si le BCC est incorrect, 35 le récepteur émet un message de réponse NAK avec le numéro de séquence de bloc attendu, et augmente d'une unité le dernier numéro de séquence reçu. Si le BCC est correct, mais alors que le numéro de séquence est différent de celui attendu, le poste récepteur se..

trouve devant trois alternatives. Si le numéro de séquence se trouve derrière le numéro de séquence attendu et qu'il s'agit d'une retransmission attendue, le récepteur émet un message ACK avec le numéro de séquence de bloc retransmis et n'augmente pas d'une unité le 5 dernier numéro de séquence de bloc reçu. Si le numéro de séquence de bloc est supérieur à celui attendu, mais inférieur à un nombre arbitraire, le récepteur suppose que tous les blocs qui se trouvent entre ont été perdus et il émet un message NAK pour chacun, et émet un message ACK pour ce bloc de données mettant à jour le dernier numéro 10 de séquence de bloc reçu au numéro de séquence de bloc reçu. Si le numéro de séquence est supérieur à celui attendu, de plus du nombre arbitraire ou s'il est inférieur et qu'il ne s'agit pas d'une retransmission, il est supposé que le numéro de séquence est erroné et le bloc est négligé. Si l'émetteur reçoit un message ACK correct, 15 il suppose que le bloc de données avec le numéro de séquence des blocs correspondants a été reçu correctement et que le tampon peut être utilisé pour d'autres blocs. Lorsqu'un message NAK est reçu, le poste émetteur doit retransmettre le bloc de données.

Si une réponse à un bloc de données est erronée, (faux numéro 20 de séquence, BCC incorrect, ou jamais reçue comme une réception tardée), l'émetteur répond avec un message RSP pour obtenir une retransmission du ou des messages de réponse attendus. Si le BCC est incorrect, l'émetteur émet un message RSP pour la réponse attendue en utilisant le numéro de séquence attendu, et augmente d'une unité 25 le nombre attendu. Un exemple de BCC et de numéro de séquence corrects est donné par le tableau IX. Si le BCC est correct, mais que le numéro de séquence est différent de celui attendu, l'émetteur se trouve devant trois alternatives. Si le numéro de séquence est derrière celui attendu, et s'il s'agit d'une réponse retransmise attendue, l'émetteur l'accepte pour ce bloc. S'il ne s'agit pas d'une réponse transmise attendue, et s'il se trouve derrière le numéro de séquence attendu et n'est pas un RSP, il est ignoré. Si le numéro de séquence est plus d'un nombre arbitraire au-dessus du numéro de séquence attendu (intervalle d'attente), un RSP est émis pour le 30 numéro de séquence. S'il se trouve dans l'intervalle d'attente, des messages RSP sont émis pour les réponses intermédiaires et les délais sont rétablis. Les retards reçus provoquent la récupération des réponses manquantes.

Les messages RSP sont différents en ce que la comparaison de séquence est faite sur le numéro de séquence du dernier bloc de données reçu. Pour des numéros de séquence inférieurs au dernier reçu de moins de  $2^{15}$ , avec un NAK en suspens pour le numéro de séquence, 5 le message NAK est retransmis. Si le NAK n'est pas en suspens pour ce bloc, un ACK pour ce numéro de séquence est transmis puisqu'il est supposé que ce bloc a été accepté précédemment. Si le numéro de séquence est en avant du dernier reçu mais à l'intérieur de l'intervalle d'attente, un message NAK est émis pour ce bloc, en supposant 10 qu'il soit manquant. Les autres sont ignorés. Un exemple de message de réponse NAK et de séquence basse est représenté sur le Tableau X. Un exemple d'un message ACK non compris est représenté sur le Ta-bleau XI. Un exemple de numéro de séquence élevé est représenté sur 15 le Tableau XII.

15 Les exemples donnés jusqu'ici ont montré des données transmises dans un sens et des réponses transmises dans l'autre sens. Le dispositif de transmission duplex synchrone binaire à blocs multiples selon l'invention est destiné à écouler du trafic de données et de réponses dans les deux sens afin d'assurer un fonctionnement entièrement duplex, les messages de réponse étant émis entre les blocs de données; autrement dit, entre la fin d'un bloc (ETB ETX) et le début d'un autre bloc. Les messages de réponse ne sont pas émis entre des blocs de texte intermédiaires. Du fait que le dispositif de transmission duplex synchrone à blocs multiples est symétrique dans 20 les deux sens, les exemples des tableaux ci-dessus correspondent à un côté de la ligne, l'autre côté se présentant de manière identique, à l'exception de la mise en phase. Le Tableau XIII illustre un fonctionnement en duplex.

TABLEAU IX

Exemple de BCC et de numéro de séquence corrects

bloc 1	bloc 2	bloc 3	bloc 4	bloc 5	bloc 6
			ACK MSG 1	ACK MSG 2	ACK MSG 3

TABLEAU X

Exemple de message de réponse NAK et de séquence basse

Même bloc

bloc 1 (erroné)	bloc 2	bloc 3	bloc 4	bloc 1	bloc 6
			NAK MSG 1	ACK MSG 2	ACK MSG 3

TABLEAU XI

Exemple de ACK non compris

Négligé

bloc 1	bloc 2	bloc 1	bloc 3	bloc 4	bloc 5
			ACK MSG 1	ACK MSG 2	ACK MSG 1

2266389

TABLEAU XII

Exemple de numéros de séquence élevé

manquant au  
récepteur

bloc 1	bloc 2	bloc 3	bloc 4	bloc 5	bloc 6
--------	--------	--------	--------	--------	--------

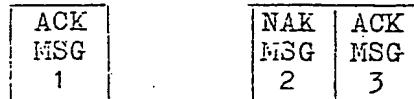


TABLEAU XIII

## Fonctionnement MBSD en duplex

bloc											
4	ACK	5	NAK	ACK	6	7	ACK	8	ACK	9	
	MSG		MSG	MSG			MSG		MSG		
-	10		11	12			13		14		

bloc ACK MSG 5	bloc 11	bloc 12	bloc ACK MSG	bloc 13	bloc 11	bloc ACK MSG	bloc 5	bloc ACK MSG	bloc 6	bloc 15	bloc ACK MSG	bloc 7	bloc 16
-------------------------	------------	------------	--------------------	------------	------------	--------------------	-----------	--------------------	-----------	------------	--------------------	-----------	------------

Afin d'assurer et de contrôler le maintien de la synchronisation pendant une transmission entière, des configurations supplémentaires de synchronisation sont introduites par l'émetteur dans les données de texte. Une configuration de synchronisation est introduite automatiquement à un intervalle sur deux. Du fait que tous les textes sont émis en mode transparent, SYN introduit de cette manière doit être précédé par DLE afin d'être reconnu. Les DLE SYN ne sont pas inclus dans l'accumulation BCC et sont séparés du message au poste récepteur.

Des délais sont utilisés pour empêcher des immobilisations indéfinies de la liaison de transmission de données en raison de fausses séquences ou de réponses manquantes en déterminant un temps fixe dans lequel une opération particulière doit avoir lieu. Trois délais sont prévus dans le présent mode de réalisation: émission, réception et données. Le délai d'émission est un délai nominal d'une seconde qui est établi par la fréquence à laquelle DLE SYN est introduit dans les données de texte émises. Une séquence DLE SYN transparente est introduite chaque seconde. Des DLE SYN sont introduits dans un but de synchronisation et n'ont aucun effet sur le format du message.

Si ce délai intervient, le récepteur émet un message NAK ou RSP pour ce bloc. Le délai de réception est un délai nominal de trois secondes par exemple, et il limite l'attente tolérée au poste émetteur pour recevoir une réponse à un message ETB ou ETX ou RSP. Lorsque ce délai se présente, un message RSP est émis pour la prochaine réponse attendue. Ce délai démarre à chaque réponse attendue. Le délai de données est un délai nominal de deux secondes par exemple, qui est en vigueur pendant les périodes où aucun texte n'est disponible pour être émis. Il est nécessaire que les postes émetteur émettent un bloc de texte avec des bits de données "0", et avec le numéro de séquence correct. Le poste récepteur répond au bloc comme il le ferait à tout autre bloc de données. Ce délai a pour but d'assurer le poste émetteur que le poste récepteur est en état de fonctionnement pendant les périodes d'inactivité. Les caractères tous les "1" par paires sont émis pendant les autres périodes d'inactivité.

Selon l'invention, si l'émetteur a des données à émettre, il les émet immédiatement en espérant que le récepteur est prêt à les recevoir. L'émetteur continue l'émission des données tant qu'il en existe à émettre. L'émetteur conserve les données qu'il a émises

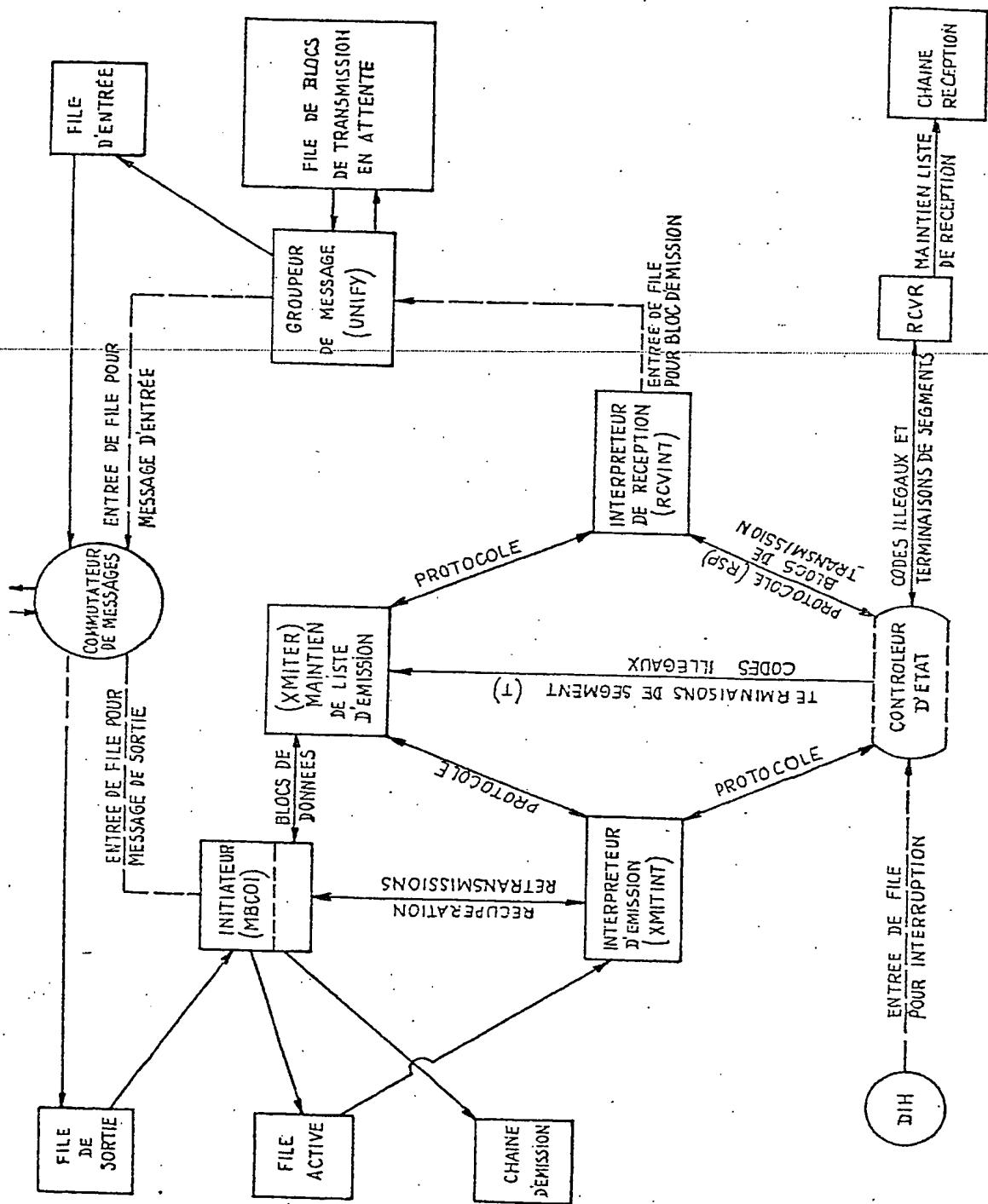
jusqu'à ce qu'il reçoive un accusé de réception positif.

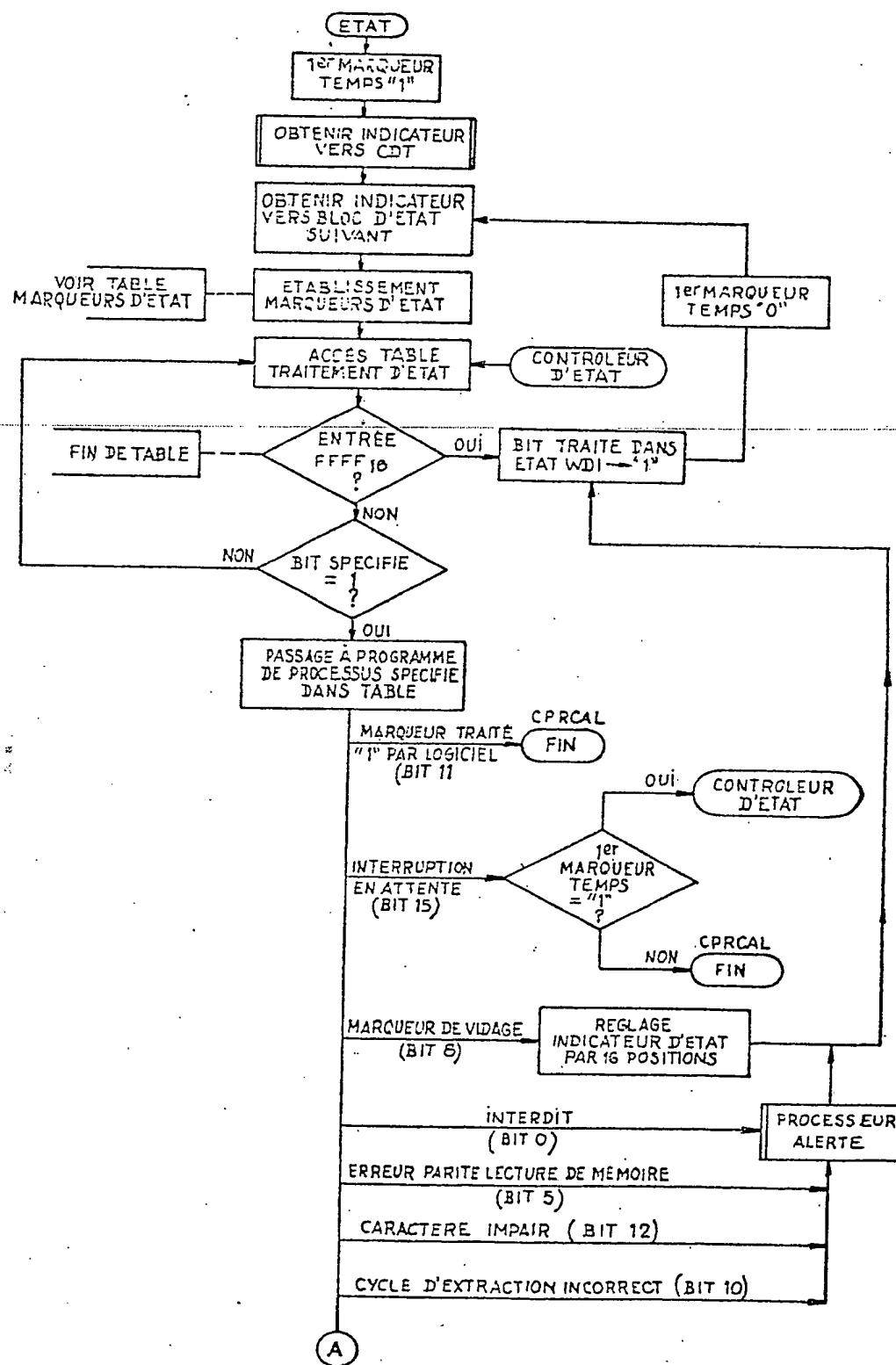
Le Tableau XIV donne une vue générale du logiciel manipulateur de transmission. Le manipulateur consiste en sept segments : l'initiateur d'émission 21 (MBCOBI) (Tableau R-II); la maintenance des 5 chaînes d'émission 22 (XMITER), (Tableau R-IV); l'interpréteur d'états 23 (STATUS), (Tableau R-I); l'interpréteur d'émission 24 (XMTINT) (Tableau R-V); la maintenance des chaînes de réception 25 (RCVR) (Tableau 5-VI); l'interpréteur de réception 26 (RCVINT) (Tableau R-VII); et le groupeur de messages 27 (UNIFY) (Tableau R-VIII).

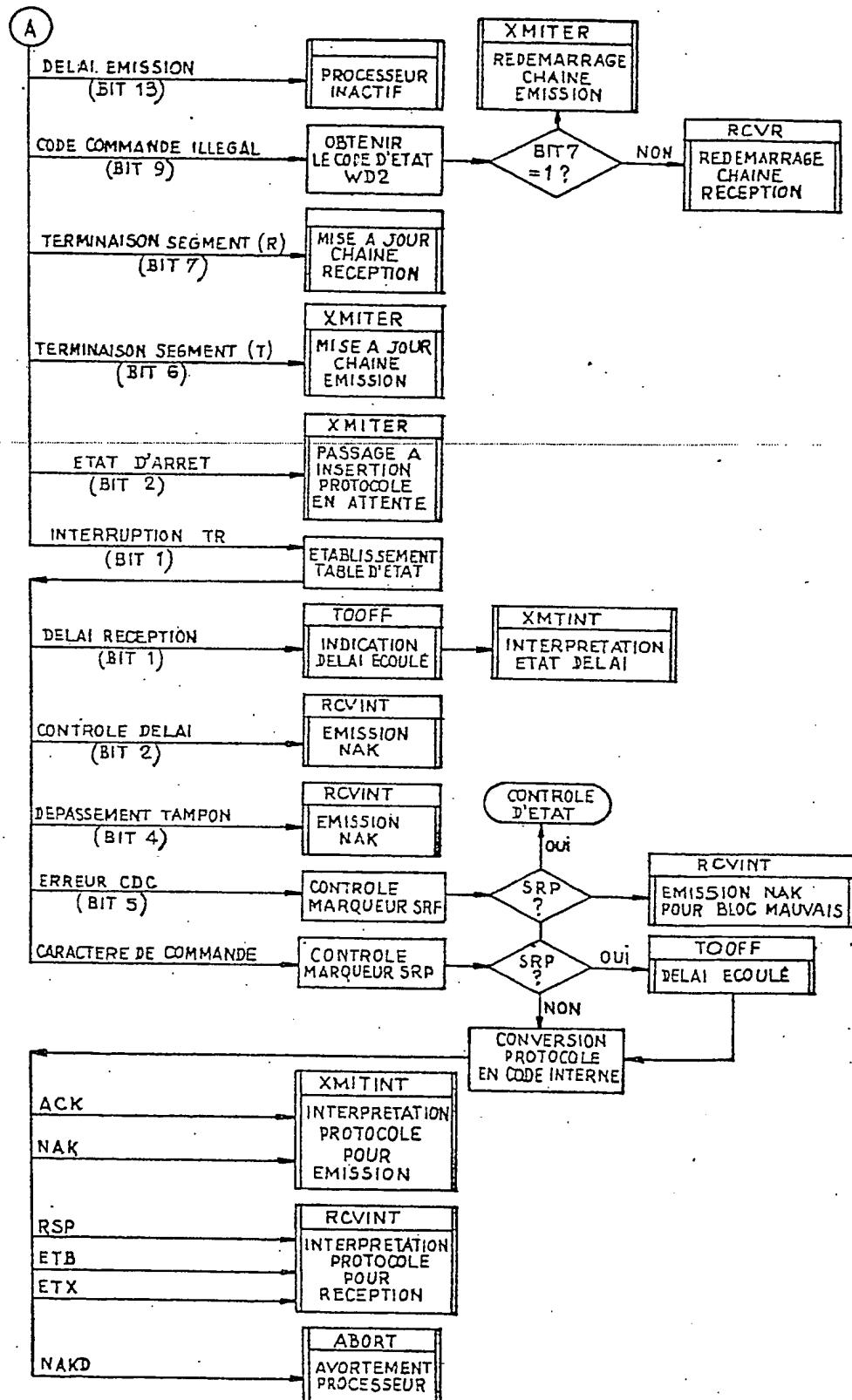
10 Ces segments utilisent les files d'attente ci-après: Une file d'attente de sortie; une file d'attente active (BMI); une chaîne d'émission; une chaîne de réception; une file de blocs de transmission en attente; une file d'attente d'entrée; une liste NAK; une chaîne de protocole en attente; et une file BMI d'attente.

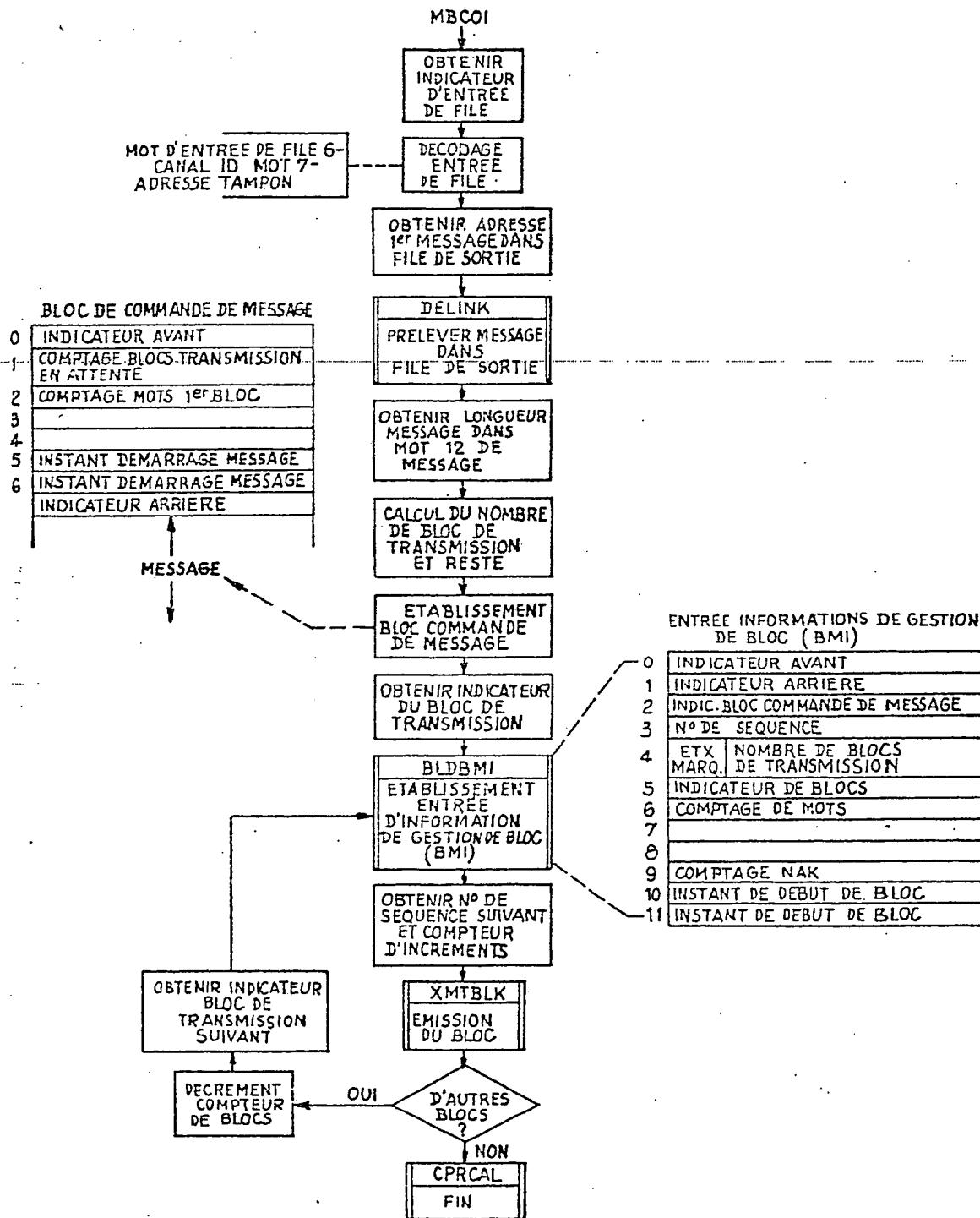
15 Lorsque le commutateur de message reçoit un message à émettre, il le place dans la file de sortie et effectue une entrée de file pour l'initiateur d'émission, Tableau R-II. Si l'initiateur d'émission obtient l'exécution, un numéro de séquence de transmission est affecté au message et le segment XMITER (Tableau R-IV) est sollicité 20 pour placer le message sur la chaîne d'émission. L'initiateur préleve le message dans la file de sortie et effectue une entrée pour ce message dans la file active. L'initiateur exécute l'opération ci-dessus chaque fois qu'il obtient l'exécution en raison d'une entrée de file du commutateur de message.

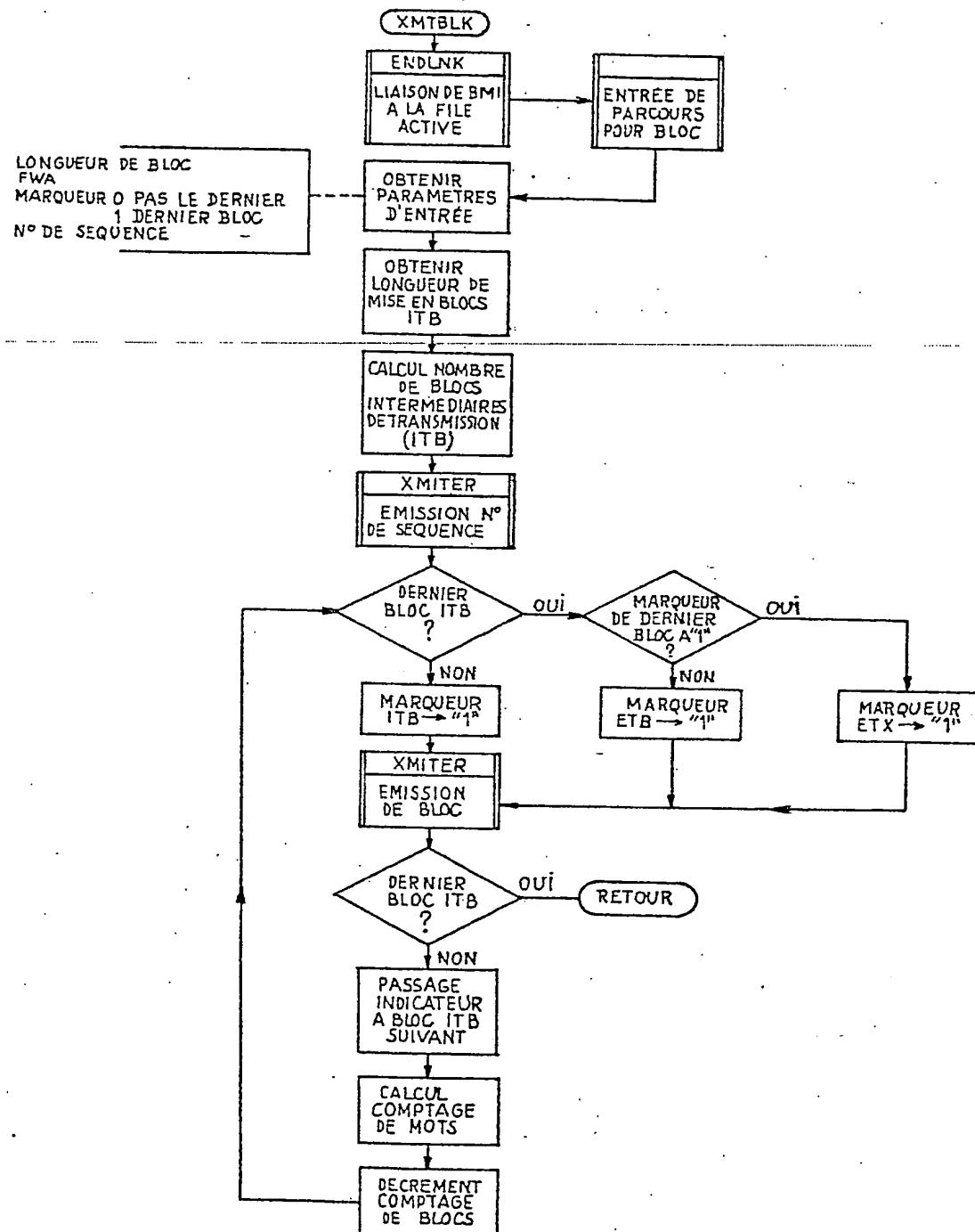
25 Lorsqu'une réponse à un message est reçue, la commande est passée à l'interpréteur d'émission du Tableau R-V. Le message spécifié par la réponse est trouvé dans la file active, et il est relâché de la mémoire libre (dans le cas d'un ACK) ou il est retransmis (dans le cas d'un NAK).

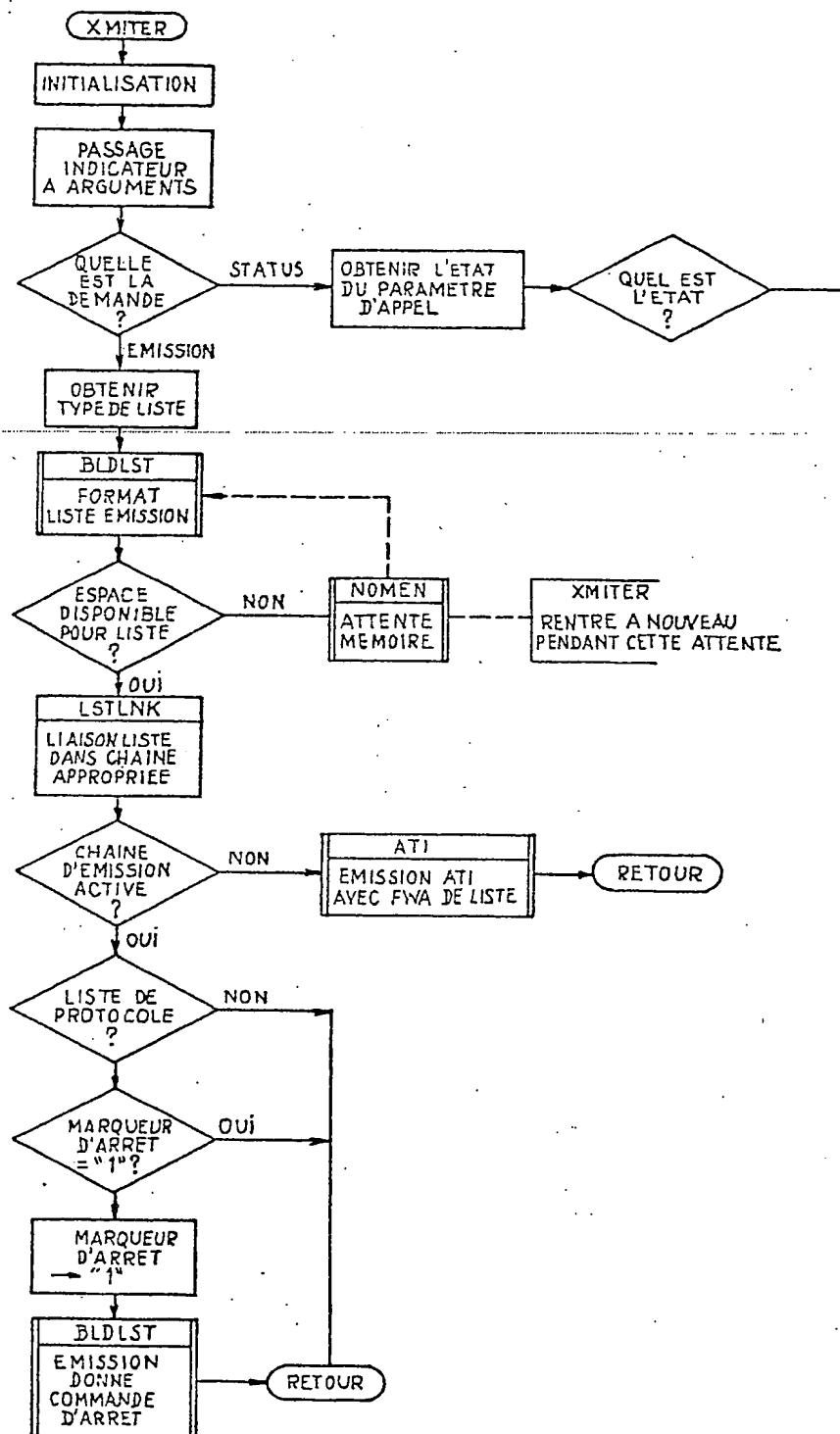


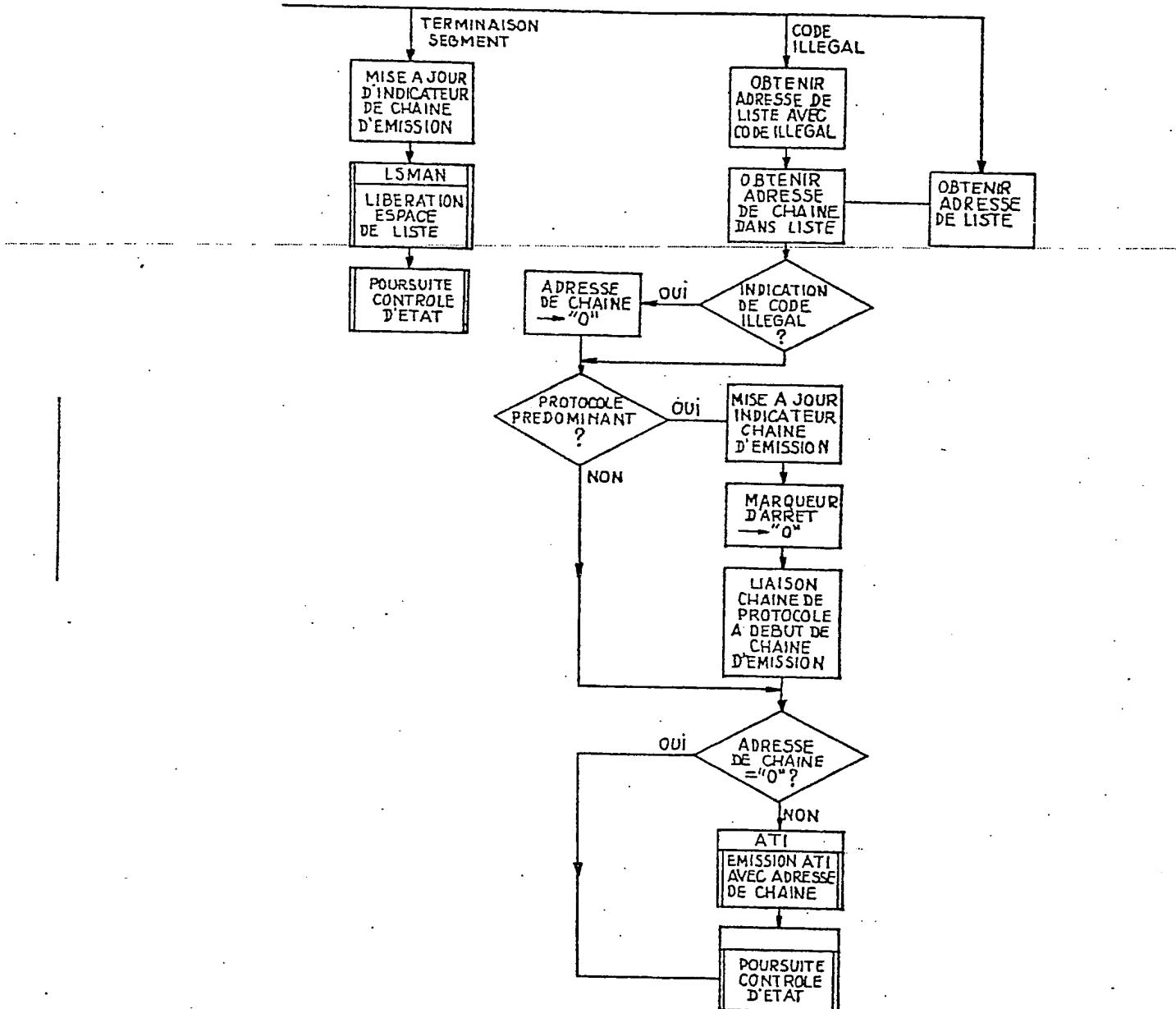


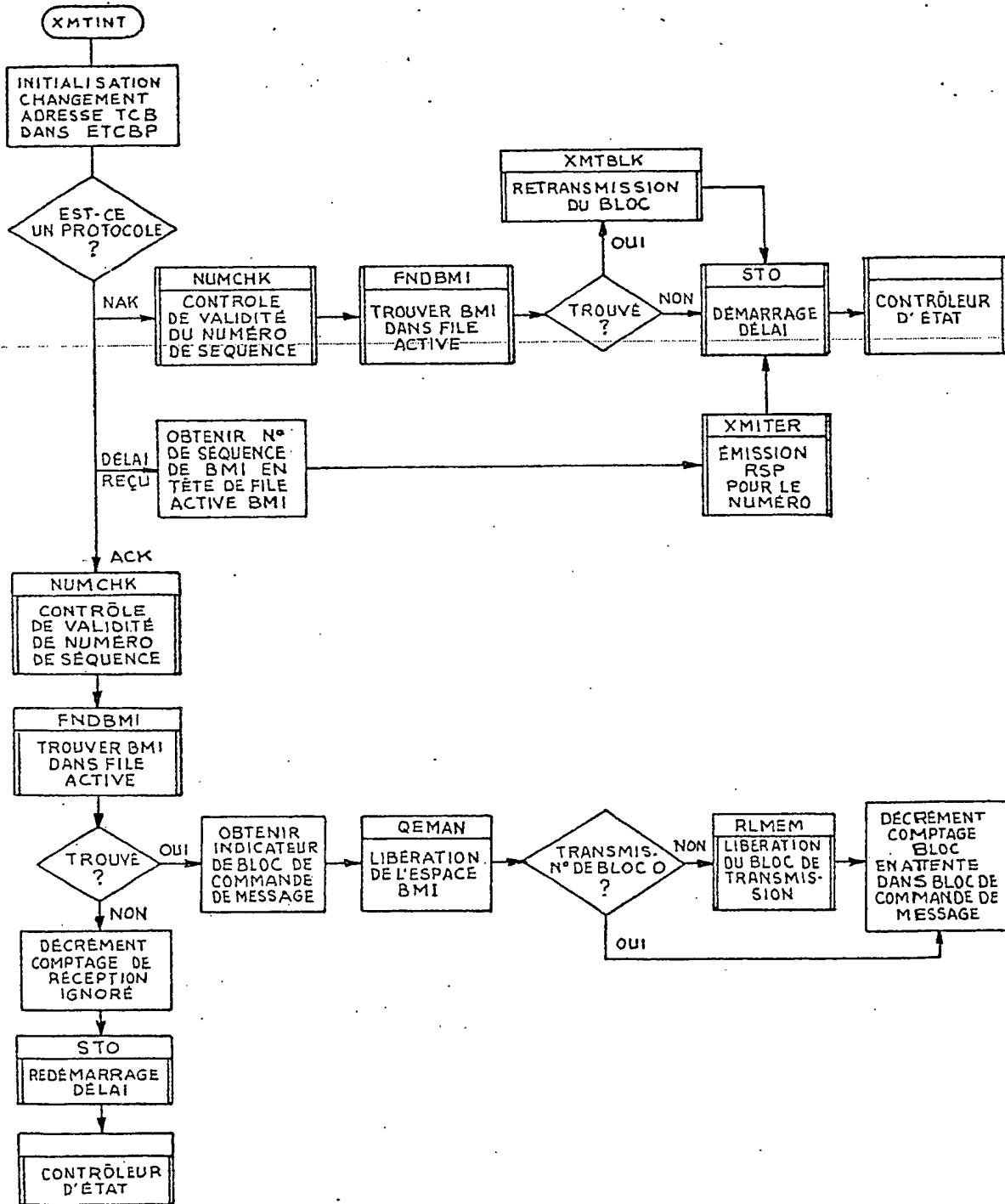


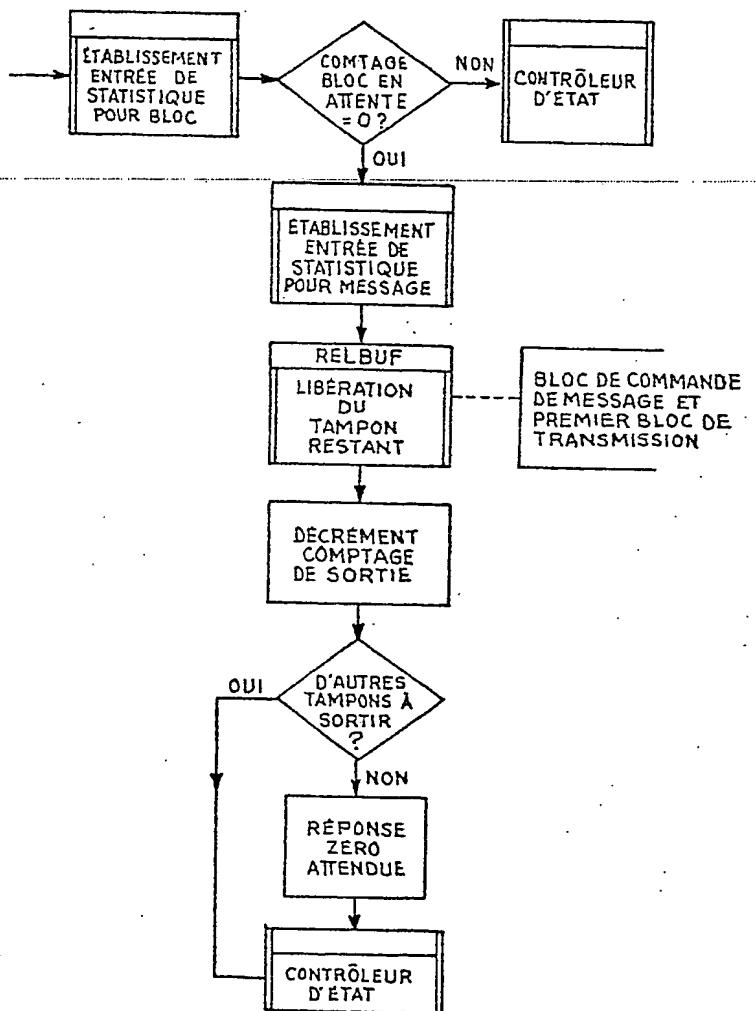


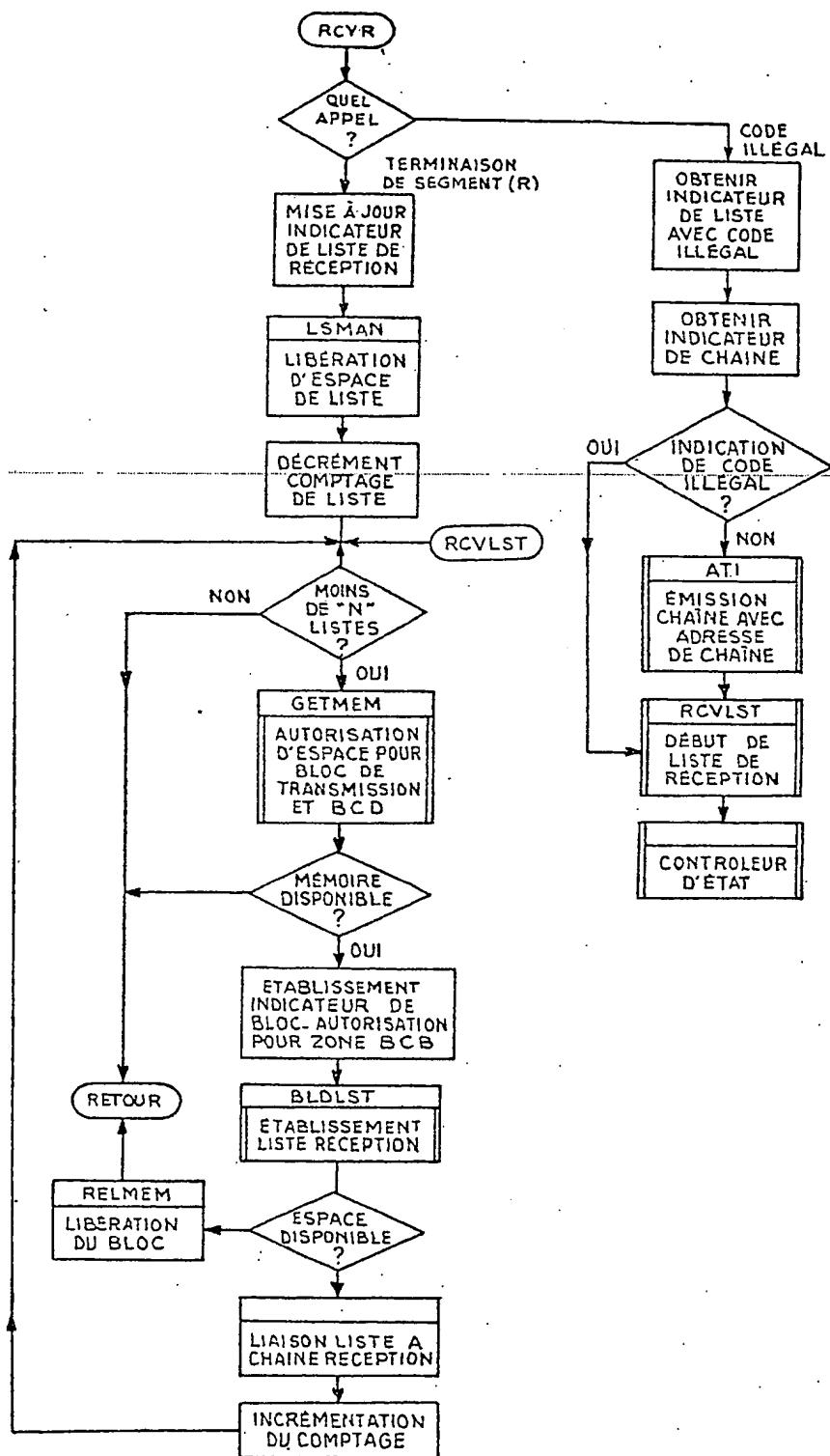




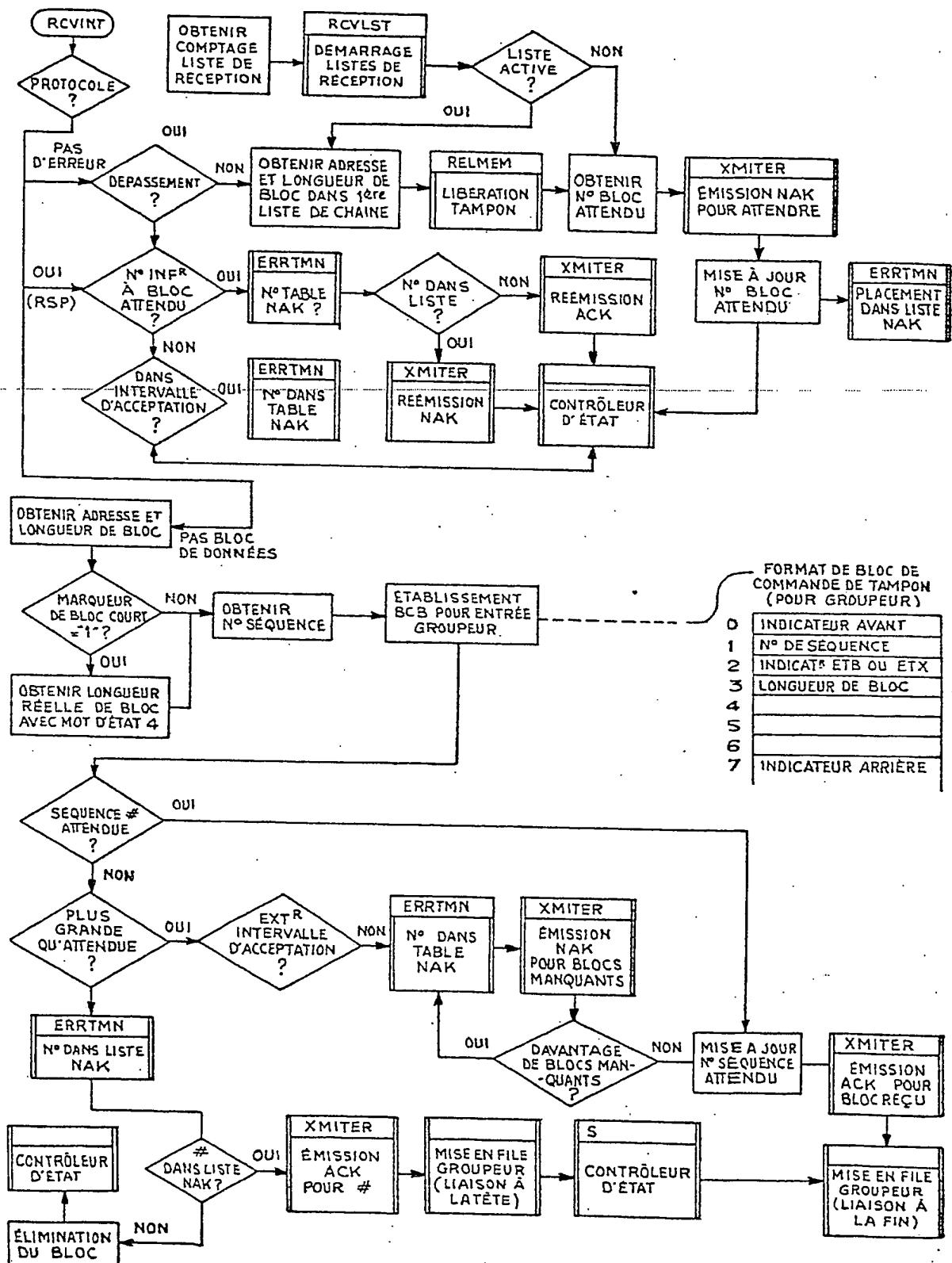


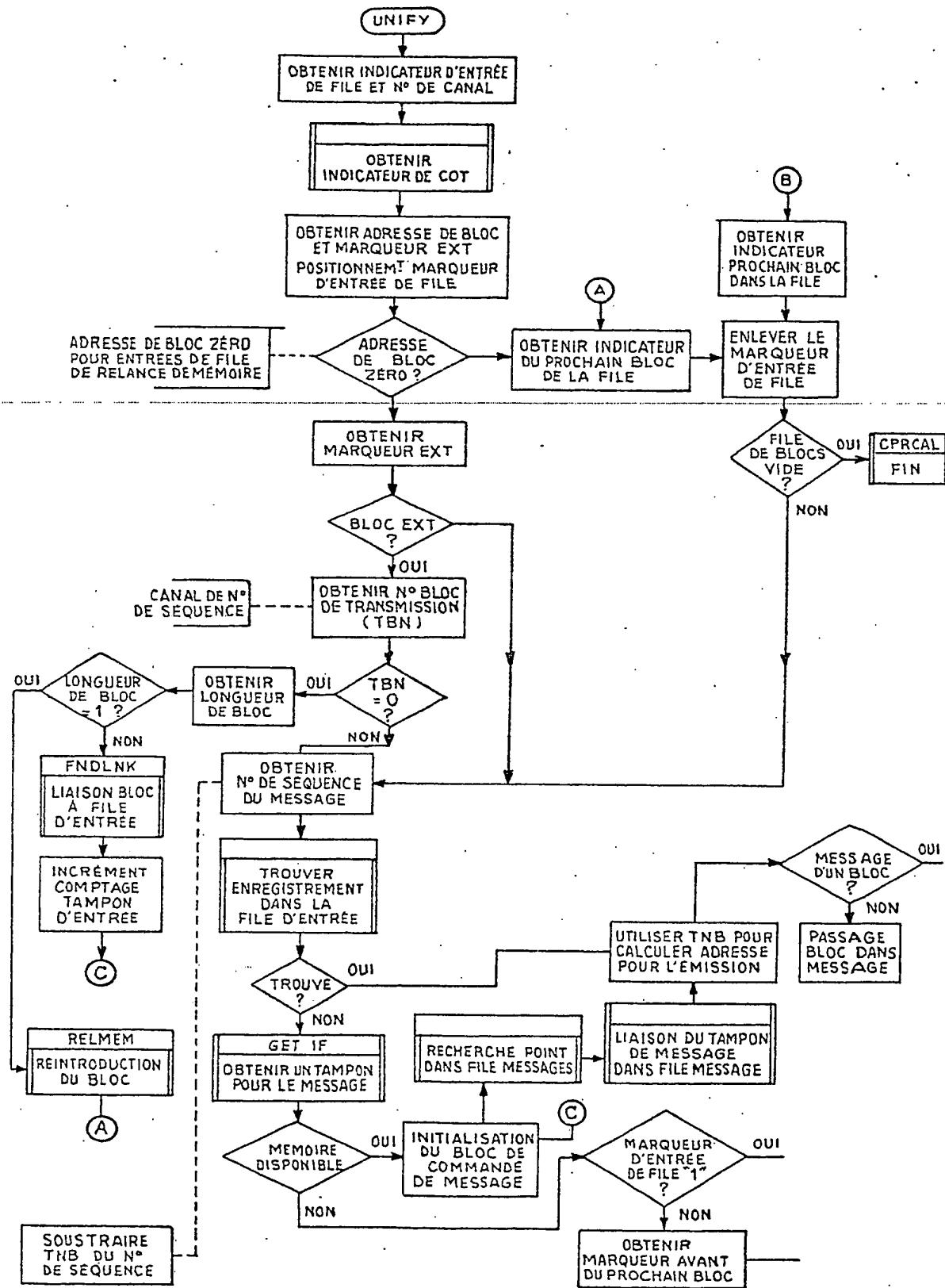


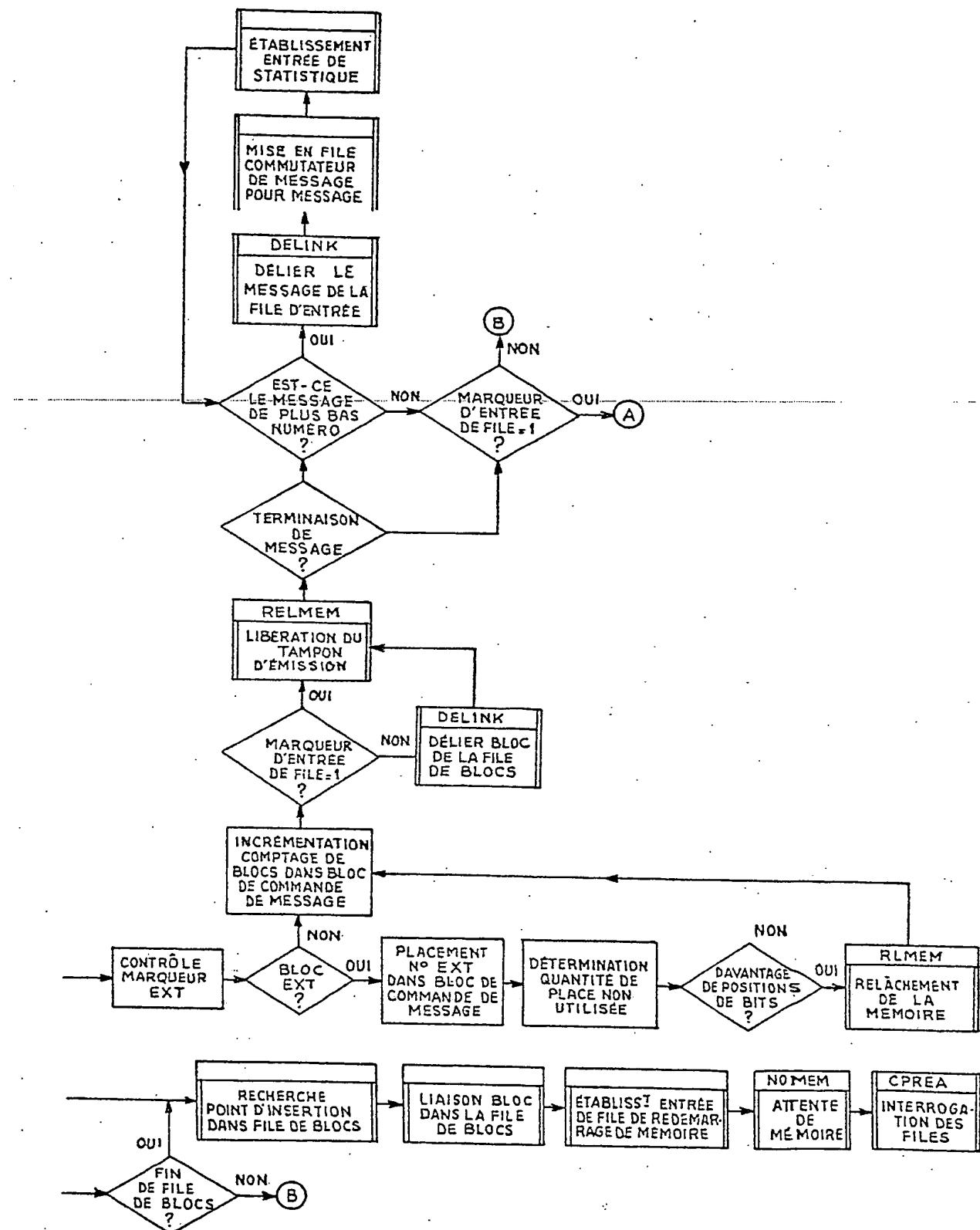




2266389







Le programme de maintenance de chaîne de récepteur maintient des listes de réception qui attendent un message. Lorsqu'un message est reçu, une commande est passée à l'interpréteur de réception (Tableau R-VIII) qui le met en file d'attente sur le groupeur de 5 messages et émet une réponse. Les messages sont émis comme un ensemble de blocs de transmission. Ces blocs de transmission sont reçus dans des positions de mémoire non contigues. Le groupeur de messages (Tableau R-VIII) déplace les blocs de transmission dans un bloc de mémoire et les place dans l'ordre correct. Le message est ensuite 10 placé dans la file d'attente d'entrée de manipulateur et le commutateur de message est mis en file.

Le manipulateur dessert plusieurs canaux. Chaque canal comporte un groupe de tables de canaux. Le contenu des tables est représenté sur les Tableaux S-I, S-II et S-III. La table S-II d'espace auxiliaire 15 contient les indicateurs de file d'attente pour le manipulateur et une table S-III d'espace auxiliaire 2 contient des statistiques pour le canal. L'état du canal est maintenu dans la table S-I de données de canaux.

La structure du manipulateur est décrite ci-après. L'interpréteur d'état utilise les trois tables pour déterminer l'action à prendre lors du contrôle de l'état. L'état CI est représenté sur le Tableau S-IV et l'état TR est représenté en S-V. L'interpréteur d'état utilise la table S-VI de traitement d'état pour déterminer l'ordre dans lequel les bits d'état doivent être contrôlés et quelle 25 action doit être entreprise si le bit est présent. Ce programme est illustré par l'organigramme du Tableau R-I. L'interpréteur d'état contrôle les bits d'état dans l'ordre dans lequel ils apparaissent dans la table S-VI de traitement d'état.

Certains bits d'état sont utilisés comme marqueurs pour l'interpréteur. La table S-VII de marqueurs d'état est utilisée pour positionner les marqueurs appropriés. Certains d'entre eux sont le marqueur SRP et le marqueur de bloc court.

Lors du contrôle d'une entrée d'état, l'interpréteur positionne d'abord les marqueurs d'état, ainsi que spécifié dans la table 35 de marqueurs d'état. L'interpréteur contrôle ensuite les bits spécifiés dans la table de traitement d'état et exécute les actions appropriées pour les bits qui sont à l'état "1".

Données de canal - Table S-I

- 0 Marqueurs d'état
- 1 Réserve
- 2 Adresse TCB d'entrée (interpréteur d'état)
- 3 Adresse TCB de sortie (initiateur)
- 4 Longueur maximale de message
- 5 Longueur de mise en blocs de transmission
- 6 Longueur de mise en bloc de transmission intermédiaire
- 7 Limite de tampon de sortie
- 8 Nombre de tampons de sortie affectés
- 9 Début de file de sortie
- 10 Fin de file de sortie
- 11 Limite de tampon d'entrée
- 12 Nombre de tampons d'entrée affectés
- 13 Début de file d'entrée
- 14 Fin de file d'entrée
- 15 Nombre de blocs d'état
- 16 Adresse du premier bloc d'état
- 17 Adresse du dernier bloc d'état contrôlé
- 18 Adresse du dernier bloc d'état
- 19 Prochain numéro de séquence à émettre
- 20 Numéro de réponse attendu
- 21 Intervalle d'acceptation
- 22 Prochain numéro de séquence attendu
- 23 Marqueur d'arrêt (bit 0)/limite d'erreur pour suspension
- 24
- 25
- 26 Adresse d'espace auxiliaire 1
- 27 Adresse d'espace auxiliaire 2
- 28 Adresse de début, file messages de données d'entrée ASC
- 29 Adresse de fin, file de messages de données d'entrée ASC
- 30 Adresse de début, file de messages de données de sortie ASC
- 31 Adresse de fin, file de messages de données de sortie ASC

Espace auxiliaire 1 - Table S-II

- 0 Début de chaîne d'émission
- 1 Fin de chaîne d'émission
- 2 Début de file de récupération à l'émission
- 3 Fin de file de récupération à l'émission
- 4 Début de chaîne protocole en attente
- 5 Fin de chaîne protocole en attente
- 6 Début de file blocs active
- 7 Fin de file blocs active
- 8 Début de chaîne réception
- 9 Fin de chaîne réception
- 10 Début de file de blocs reçus
- 11 Fin de file de blocs reçus
- 12 Début de liste NAK
- 13 Fin de liste NAK
- 14
- 15
- 16 Nombre de délais sans une réponse valable
- 17 Nombre de NAK émis sans un bloc valable
- .
- .
- .

Espace auxiliaire 2 - Table S-III

- 0 Nombre de RSP en attente.
- 1 Nombre de blocs en attente sur ACK
- 2 Total de NAK reçus
- 3 Total de NAK émis
- 4 Nombre de NAK en attente
- 5 Nombre de RSP reçus
- 6 Total des délais
- 7 Total des délais de texte
- 8 Total des dépassements
- 9 Total des CRC ou erreurs de parité
- .
- .
- .

Etat CSCI - Table S-IV

MOT 1 BIT

0	ATI interdit	A. (#) (1)
1	Interruption CSTR	(#)
2	CSCI arrête pour nouvelle liaison	(#) (2)
3	Réception texte	
4	Emission texte	
5	Erreur de parité lecture de mémoire A	(#, #)
6	Terminaison de segment (T)	(#)
7	Terminaison de segment (R)	(#)
8	Marqueur de vidage	(#)
9	Code de commande illégal	(#) (3)
10	Cycle d'extraction incorrect	(#)
11	Réserve (marqueur logiciel)	
12	Caractère A impair	
13	Délai émission	(#) (4)
14	Bloc court à la réception (marqueur)	(#)
15	Interruption en attente	
MOT 2	Mot 1 d'état CSTR si interruption CSTR Sinon CSCI émet contenu registre	
MOT 3	Mot 2 d'état CSTR si interruption CSTR Sinon registre de chaîne (T)	
MOT 4	Registre d'adresse (R)	(5)

Etat CSTR - Table S-V

Bit 0	"0"	
1	Délai réception	
2	Délai texte	
3	Marqueur SRP	
4	Dépassement tampon	
5	CRC ou erreur de parité	
6	Caractère de commande	
7	Caractère précédent = DLE - Réserve (négligé)	
8-15	Dernier caractère	
16	"1"	
17-23	7 bits d'ordre inférieur du premier caractère de texte	
24-31	Second caractère de texte	

Table de traitement d'état - S-VI

0	Numéro <sub>1</sub> de bit
1	Adresse <sub>1</sub> de branchement
2	Numéro <sub>2</sub> de bit
3	Adresse <sub>2</sub> de branchement
4	.
.	.
.	.
2n-2	Numéro <sub>n</sub> de bit
	Adresse <sub>n</sub> de branchement
	FFFF <sub>16</sub>

Table de marqueurs d'état - S-VII

0	Mot #	bit #1
1	Adresse <sub>1</sub> de marqueur	
2	Mot #	bit #.
3	Adresse <sub>2</sub> de marqueur	
4	.	
.	.	
.	.	
2n-2	Mot #	bit #
	Adresse <sub>n</sub> de marqueur	
	FFFF <sub>16</sub>	

Lorsque la commande est passée par l'interpréteur à un autre élément, l'état est converti en un code interne et tout protocole est converti en un code interne, Tableaux S-VIII et S-IX. L'action entreprise pour chaque bit d'état est indiquée sur le Tableau S-X.

5       Lorsqu'un bit d'interruption TR est à l'état "1", l'interpréteur mentionne une table de traitement d'état TR dont le format est représenté sur le Tableau S-VI. Si un caractère de commande est indiqué et que le marqueur SRP est à l'état "1", un délai a été arrêté, et le programme "suspension de délai" est sollicité pour réduire le 10 comptage de délai et démarrer un autre délai si le comptage n'est pas nul. Le comptage de délai est augmenté d'une unité chaque fois que le manipulateur a besoin d'un délai. Une description plus détaillée de la table S-XI d'interprétations d'état et de protocole est donnée ci-après. La partie d'émission du manipulateur de communication comprend les segments suivants: L'initiateur d'émission (Tableau R-II); la maintenance de chaînes d'émission (Tableau R-IV); et l'interpréteur d'émission (Tableau R-V). Lorsqu'un message doit être émis, le commutateur de message met en file l'initiateur d'émission. Le format de l'entrée de file transmise à l'initiateur par le 15 commutateur de message est représenté par le Tableau S-XIII.

L'initiateur d'émission utilise le canal ID pour trouver les tables de canaux S-I, S-II et S-III appropriées. L'initiateur obtient le premier message sur la file d'attente de sortie et détermine le nombre de blocs de transmission nécessaires pour émettre le message. 20 Le bloc de commande de message (huit mots précédent le message) est établi comme le montre le Tableau S-XIII. Ce bloc de commande de message n'est pas émis. Chaque bloc de transmission dans le message est passé au programme "émission de bloc" à émettre. Le programme "émission de bloc" (XMTBLK) du Tableau R-III attend une entrée d'information de gestion de bloc, Tableau S-XIV. Le BMI doit être mis en place par le programme qui appelle XMTBLK. L'espace BMI doit être sollicité dans le programme de gestion d'espace de liste décrit plus loin. L'initiateur affecte le numéro de séquence suivant du Tableau 25 S-XV au bloc de transmission, et un numéro de bloc de transmission est déterminé par le nombre de blocs de transmission déjà émis pour le message. Le marqueur ETX (fin de texte) est positionné dans le BMI du dernier bloc de transmission pour le message. Le message est sorti de la file d'attente de sortie.

Code interne d'états - Tableau S-VIII

<u>Code interne</u>	<u>Etat</u>
1	Erreur CRC
2	Dépassement tampon
3	Délai de texte
4	Code de commande illégal (R)
5	Code de commande illégal (T)
6	Délai réception
7	Terminaison segment (R)
8	Terminaison segment (T)

Code interne de protocole - Tableau S-IX

<u>Code interne</u>	<u>Protocole</u>	<u>Code ASCII</u>
20	ACK	86
21	NAK	15
22	NAKD	
23	RSP	85
24	ETB	97
25	ETX	83

Interprétation d'état - Tableau S-X

<u>Etat</u>	<u>bit</u>	<u>mot</u>	<u>Action</u>
Marqueur de vidage	8	0	Saut de 16 mots à état
ATI interdit	0	0	Suspension
Erreur parité lecture mémoire	5	0	Suspension
Caractère impair	12	0	Suspension
Cycle d'extraction incorrect	10	0	Suspension
Délai d'émission	13	0	Initiation message INACTIVITE
Code de commande illégal	4	0	Passage à maintien de chaîne de réception ou à maintien de chaîne d'émission
Terminaison de segment (T)	6	0	Libération d'une liste d'émission et mise à jour chaîne d'émission
Terminaison de segment (R)	7	0	Libération d'une liste de réception et mise à jour chaînes réception
Etat d'arrêt	2	0	Liaison protocole en attente à chaîne d'émission
Interrupteur TR	1	0	Contrôle état TR
Délai de réception	1	1	Emission RSP
Délai de texte	2	1	Emission NAK pour le numéro de séquence attendu
Dépassement tampon	4	1	Emission NAK pour le numéro de séquence attendu et initiation chaîne réception
Erreur CRC	5	1	Emission NAK pour numéro de séquence attendu
Caractère de commande	6	1	Obtenir caractère de commande

Interprétation de protocole - Tableau S-XI

<u>Caractère de commande</u>	<u>Action</u>	<u>Elément</u>
ACK	Libération bloc confirmé	Interpréteur d'émission
NAK	Retransmission du bloc spécifié	Interpréteur d'émission
RSP	Retransmission de la réponse spécifiée	Interpréteur de réception
ETB	Traitements du bloc reçu comme ETB	Interpréteur de réception
ETX		Interpréteur de réception
NAKD	Suspension	Processeur de suspension

Entrée de file d'initiateur - Tableau S-XII

0	Indicateur avant
1	Indicateur arrière
2	Adresse TCB initiateur
3	Adresse TCB de commutateur de message
4	Indicateur de début (=0)      Indicateur de libération de paramètre (=1)
5	
6	Canal ID
7	Adresse de tampon

## Bloc de commande de message (BCB - Tableau S-XIII pour message )

0	Indicateur avant
1	Comptage de blocs de transmission en attente
2	Comptage de mots du premier bloc
3	
4	
5	Instant de début de message
6	Instant de début de message
7	Indicateur arrière
8	Message
.	
.	
.	

Information de gestion de bloc - Tableau S-XIV

0	Indicateur avant	
1	Indicateur arrière	
2	Indicateur de bloc de commande de message	
3	Nº de séquence	
4	Marqueur ETX	Nº de bloc de transmission
5	Indicateur de bloc	
6	Comptage de mots	
7		
8		
9	Comptage NAK	
10	Instant de début de bloc	
11	Instant de début de bloc	

TABLEAU S-XV

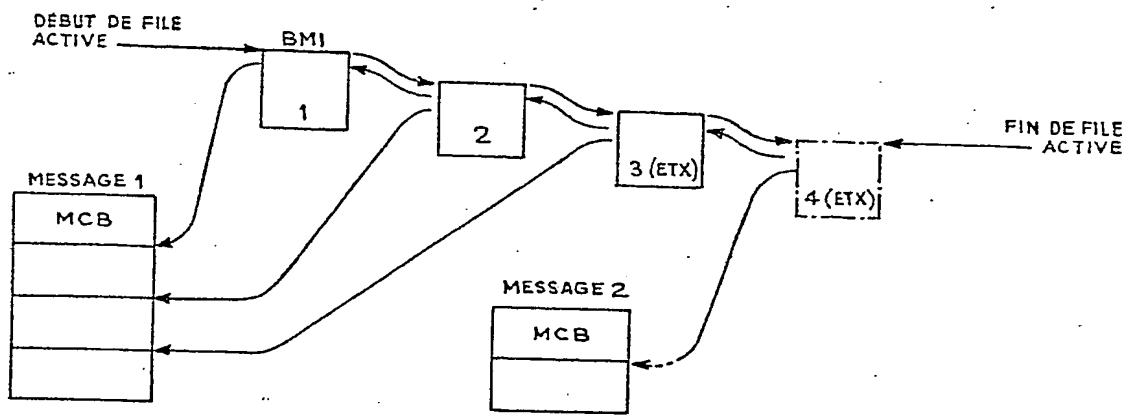
Succession des informations transmises  
avant chaque bloc de transmission

Numéro de séquence (15 bits)	
Marqueur ETX (bit 0)	Nº de bloc de transmission

Le programme XMTBLK ou programme "émission de bloc" relie l'entrée d'information de gestion de bloc (BMI) à la fin de la file active. Le bloc de transmission est ensuite émis, précédé par ses deux mots de numéro de séquence et de numéro de bloc de transmission. Le 5 bloc de transmission est émis sous forme de plusieurs blocs de transmission intermédiaires (suivant la dimension de mise en blocs de transmission intermédiaires). Le Tableau XV illustre la file active BMI. Le programme XMTBLK sollicite l'élément de maintenance de chaîne d'émission (XMITER) pour obtenir une liste ATI établie et liée 10 à chaque appel.

L'élément de maintien de chaîne d'émission (XMITER) du Tableau R-IV est sollicité par tout élément qui souhaite émettre des données ou un protocole. Lorsqu'une demande d'émission est posée, la liste appropriée est établie et, si cette liste concerne un transfert de 15 données, elle est liée à la fin de la chaîne d'émission. Si la liste concerne un protocole, elle est liée à la fin d'une chaîne de protocole en attente et une commande d'arrêt est émise vers le CSCl (à moins qu'une demande d'arrêt ait déjà été émise).

Le fonctionnement des circuits s'arrête lorsqu'une autorisation 20 d'arrêt est détectée dans la chaîne de transmission. L'interpréteur d'état passe la commande au programme XSMITER lorsque l'état d'arrêt est détecté. Le protocole en attente est lié à la tête de la chaîne de transmission et un ATI est émis pour poursuivre l'exécution de la chaîne. L'autorisation d'arrêt n'est pas placée dans les listes de 25 protocole. Si aucun protocole n'est dominant, dont l'état d'arrêt est desservi, un ATI immédiat est émis pour démarrer la chaîne à nouveau. Les blocs de transmission de récupération reçoivent la priorité du protocole pour le processus de liaison. L'interpréteur d'émission, Tableau R-V, maintient une file d'attente BMI active, comme le montre le Tableau XV, qui est liée à l'ordre dans lequel les réponses sont attendues. Lorsqu'un état d'arrêt est détecté, la chaîne d'émission est explorée à la recherche de la première liste "type d'émetteur". Le numéro de séquence dans la liste est transmis à l'interpréteur d'émission qui met à jour sa file d'attente BMI active. Un marqueur est placé dans chaque liste pour indiquer si elle est déclenchée par l'émetteur, le récepteur, ou aucun d'entre eux.



FILE ACTIVE BMI

Le programme XMITER libère de l'espace de liste chaque fois qu'une terminaison de segment se produit sur la chaîne d'émission. L'interpréteur d'état passe la commande à XMITER lorsqu'il détecte un état "T" de terminaison de segment. Du fait que les listes de transfert de données sont liées à la fin de la chaîne d'émission sans arrêter le CSCI, un code illégal est toujours mémorisé dans la dernière liste de la chaîne pour indiquer quand les circuits ont terminé la chaîne d'émission. Des codes illégaux sont également utilisés pour la chaîne de réception. Le bit 7 dans le code illégal indique une liste d'émission s'il est placé à "1". Les bits 12 à 15 sont utilisés pour identifier la liste qui contient le code illégal.

Lorsqu'une liste d'émission (ou de réception) est établie, le programme d'établissement de liste attribue un code illégal à la liste et mémorise l'adresse de liste dans une table S-XVI de codes illégaux. Le code illégal est déterminé en utilisant le prochain numéro disponible et en augmentant ensuite d'une unité le numéro pour la liste suivante. Le code illégal contient toujours le bit "0". Le numéro d'identification de code illégal se classe toujours entre "0" et un SYSGEN.

Lorsqu'un état de code illégal est détecté, l'interpréteur d'état contrôle si le bit 7 est "1" ou "0". Si le bit 7 est "1" la commande est passée à XMITER. Du fait que le bit de terminaison de segment n'est pas à l'état "1" dans la dernière liste de la chaîne, la liste dans laquelle le code illégal se présente est libérée par XMITER. Si certaines listes sont liées à la chaîne avant que l'état de code illégal ne soit desservi, un ATI est émis pour les nouvelles listes. Tout protocole en attente est lié à la tête de la chaîne d'émission sur un code illégal.

Les chaînes de listes, les listes de récupération et la file d'attente EMI nécessitent toutes de petits tronçons de mémoire de longueurs variées. Ces petits tronçons sont retrouvés dans la mémoire libre sollicitant d'abord un bloc de 128 mots. Le bloc de 128 mots est ensuite attribué aux segments qui ont besoin d'espace de liste. Lorsque le bloc est entièrement, ou presque entièrement réservé et qu'un autre élément a besoin de place, une autre demande est posée pour un bloc de 128 mots. Les blocs sont liés ensemble et le dernier bloc demandé (ou le dernier retrouvé) est à la tête de la

Code illégal/ Adresse de liste - Table S-XVI

Longueur de table (maximum = 256 pos)

Prochain N° disponible

0	Adresse <sub>1</sub> de liste (code illégal bits 12 - 15 = 0)
1	Adresse <sub>2</sub> de liste (code illégal bits 12 - 15 = 1)
2	
3	
4	
5	
6	
7	
8	
9	
10	

TABLEAU S-XVIIBloc d'espace de liste de 128 mots

Bit en réserve	Longueur de bloc
-------------------	------------------

Indicateur avant	
------------------	--

Indicateur arrière	
--------------------	--

Bits de réserve (mot 1)	
-------------------------	--

Bits de réserve (mot 2)	
-------------------------	--

Quatre mots (bit 15, mot 1)	
-----------------------------	--

Quatre mots (bit 14, mot 1)	
-----------------------------	--

.

.

Quatre mots (bit 0, mot 2)	
----------------------------	--

Bit en réserve	Longueur de bloc
-------------------	------------------

TABLEAU S-XVIIIFormat message SRP

→ ← 16 Bits

← 16 Bits → 16 Bits → 8 Bits → 16 Bits →

DLE	
SRP	

N° de	
séquence	

Caractère	
de réponse	

DLE	B
ETX	C
	C

chaîne. Chaque bloc de 128 mots comprend quatre mots de gestion de mémoire (trois précédant le bloc et un à la fin du bloc). Le système de gestion d'espace de liste utilise deux des mots de tête précédant le bloc et deux mots ou davantage dans le bloc pour les bits 5 de réservation. Pour obtenir 128 mots d'un espace de liste, un bloc de 130 mots est demandé.

Les informations de début de bloc sont représentées sur le Tableau S-XVII. Chaque bit des mots de bits de réserve indique si un groupe correspondant de quatre mots est réservé ou libre. Si le bit 10 est "1", les quatre mots sont réservés. Si un segment demande de l'espace, le système de gestion d'espace de liste passe au premier bloc de l'espace de liste et recherche des mots de réserve pour la place demandée (arrondie à un multiple de quatre). Si aucun espace n'est trouvé dans ce bloc, le programme passe au bloc suivant et 15 recherche de l'espace. Lorsque de l'espace est trouvé, les bits appropriés sont placés à l'état "1" et l'adresse de l'espace est transmise au segment demandeur.

Lorsque de l'espace est libéré par un élément, le programme de gestion recherche les blocs d'espace de liste qui commencent à la 20 fin de la file d'attente. Lorsque le bloc correct est trouvé, les bits de réserve appropriés dans le mot de réserve sont passés à l'état "0". Si tous les bits de réserve sont à l'état "0", l'espace est libéré pour la mémoire libre.

L'interpréteur d'émission (XMTINT) du Tableau R-V, détermine 25 l'action qui doit être entreprise concernant le protocole et l'état liés aux émissions. L'interpréteur d'état détermine le protocole et l'état qui doivent être passés à l'interpréteur d'émission. Les protocoles qui sont passés à l'interpréteur d'émission (XMTINT) sont ACK, NAK, et le délai de réception. Les actions entreprises pour le 30 protocole et l'état sont décrites ci-dessous.

Lorsque l'interpréteur d'émission prend la commande, il change l'indicateur (ETCBP) de bloc de commande de tâches d'exécution pour indiquer le bloc de commande de tâches à l'interpréteur d'émission. Si l'interpréteur d'émission doit attendre pour la mémoire à un moment donné, l'initiateur, l'interpréteur d'état et l'interpréteur de réception peuvent encore exécuter.

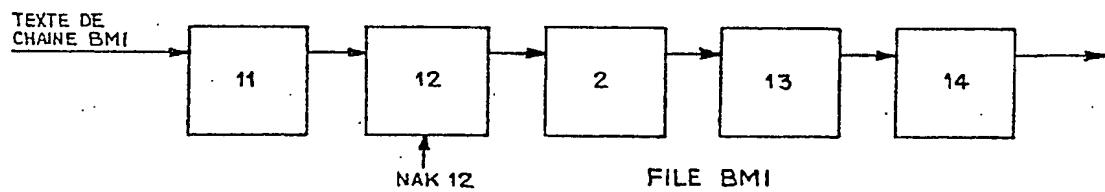
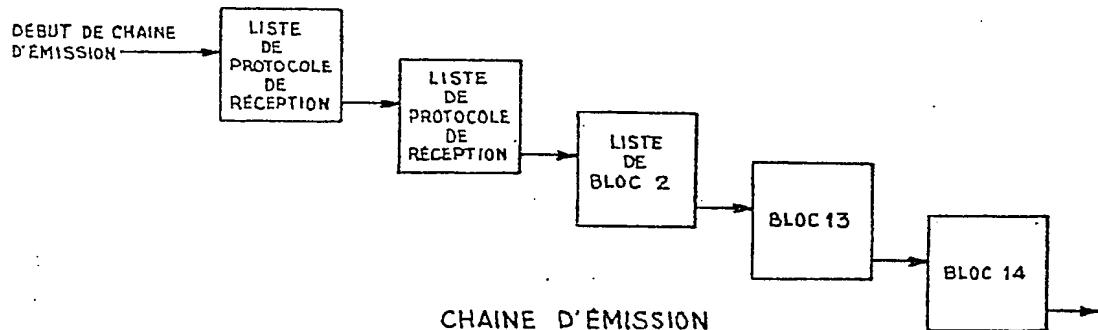
Un caractère de protocole est émis dans un message SRP avec un numéro de séquence correspondant, ainsi que le montre le Tableau S-XVIII. La validité du numéro de séquence est contrôlée en le comparant au numéro de séquence attendu. Si le numéro de séquence reçu 5 est inférieur au numéro attendu, la file d'attente active BMI, ainsi que le montre le Tableau XV est explorée à la recherche du numéro reçu. Si ce numéro n'est pas trouvé dans la file active BMI, ou si ce numéro est supérieur à celui attendu et se trouve à l'extérieur de l'intervalle d'acceptation, le protocole est ignoré et le délai 10 de réception est démarré à nouveau pour autoriser le protocole mauvais. Si le numéro apparaît comme valide, la file d'attente active BMI représentée sur le Tableau S-XIV, en liaison avec le Tableau XV, est explorée à la recherche d'une entrée correspondant au numéro de séquence. Si aucune entrée n'est trouvée, le protocole est 15 traité comme non valable. Si le numéro est valable mais supérieur au numéro attendu, des RSP sont émis pour les numéros manquants. Cette validation de numéro de séquence se produit aussi bien pour les ACK que pour les NAK.

La file d'attente active BMI représentée sur le Tableau S-XIV, 20 en liaison avec le Tableau XV, est liée dans l'ordre dans lequel les réponses de blocs sont attendues. Si une réponse n'est pas reçue dans l'ordre, un message RSP est émis pour chacune des réponses manquantes. Le BMI de chaque bloc qui contient une réponse manquante est lié à la fin d'une file de récupération d'émission, à moins que 25 la file d'attente active BMI ne soit vide. Egalelement, si un NAK pour un bloc est reçu, le BMI pour le bloc est lié à la file d'attente de récupération d'émission. Pour lier un protocole ou des blocs de récupération à la chaîne d'émission, le programme XMITIR arrête les circuits. Si l'état d'arrêt est traité par XMITER et que le protocole 30 et les blocs de récupération sont liés à la chaîne d'émission, XMITER retourne le numéro de séquence de la liste du type "émetteur" le plus proche du début de la chaîne d'émission avant que l'opération de nouvelle liaison soit exécutée. Le numéro de séquence retourné est utilisé pour trouver le point où les entrées de file d'attente 35 de récupération d'émission ne sont pas liées dans la file d'attente active BMI.

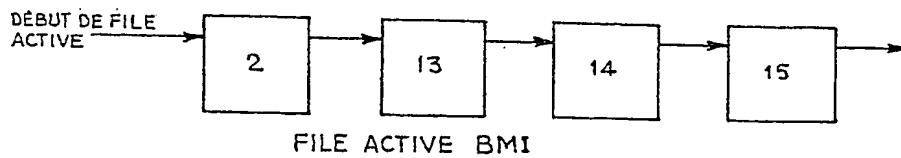
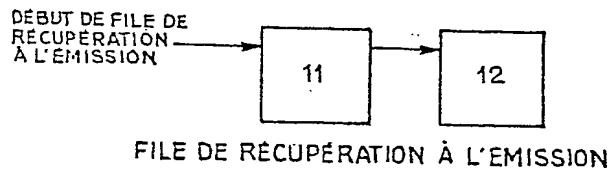
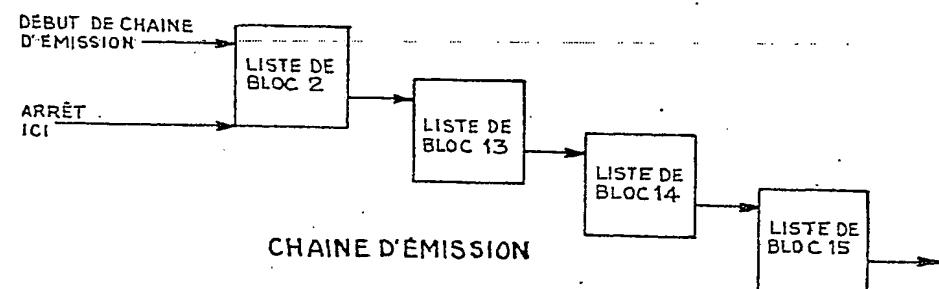
A titre d'exemple, il y a lieu d'examiner le Tableau XVI qui montre l'ordre de liaison de la file d'attente active BMI et la chaîne d'émission lorsqu'un NAK est reçu pour le bloc 12. Une réponse au bloc 11 est attendue, de sorte qu'un RSP doit être émis pour 5 11 et le bloc 12 doit être retransmis. Le Tableau XVII montre la file d'attente de récupération d'émission, la file d'attente active BMI et la chaîne d'émission, juste avant la desserte de l'état d'arrêt terminé. L'arrêt est effectif après l'émission du bloc 2. Le BMI du bloc 2 reste dans la file d'attente active BMI jusqu'à ce qu' 10 une réponse soit reçue pour 2. Le Tableau XVIII illustre la liaison en file après que l'état d'arrêt a été desservi par le programme XMITER. Ce dernier lit le protocole et le ou les blocs de récupération au début de la chaîne d'émission, et le bloc 13 est passé à l'interpréteur d'émission par XMITER. XMTINT introduit ensuite les 15 entrées de file d'attente de récupération d'émission dans la file active BMI précédant le BMI pour 13. XMTINT attend maintenant des réponses dans l'ordre 2, 11, 12, 13, 14, 15 ..., ainsi que le montre la file active BMI.

Lorsqu'un ACK valide a été reçu, XMTINT retrouve le numéro de 20 bloc de transmission dans le BMI approprié. Lorsqu'un accusé de réception a été donné pour un bloc de transmission, ce bloc est libéré de la mémoire libre à moins qu'il ne soit le premier bloc de transmission d'un message. Ce premier bloc n'est pas libéré tant que le message complet n'a pas reçu accusé de réception, car le bloc de 25 commande de message reste réservé jusque là. Le BMI pour un bloc confirmé est enlevé de la file active BMI, et libéré.

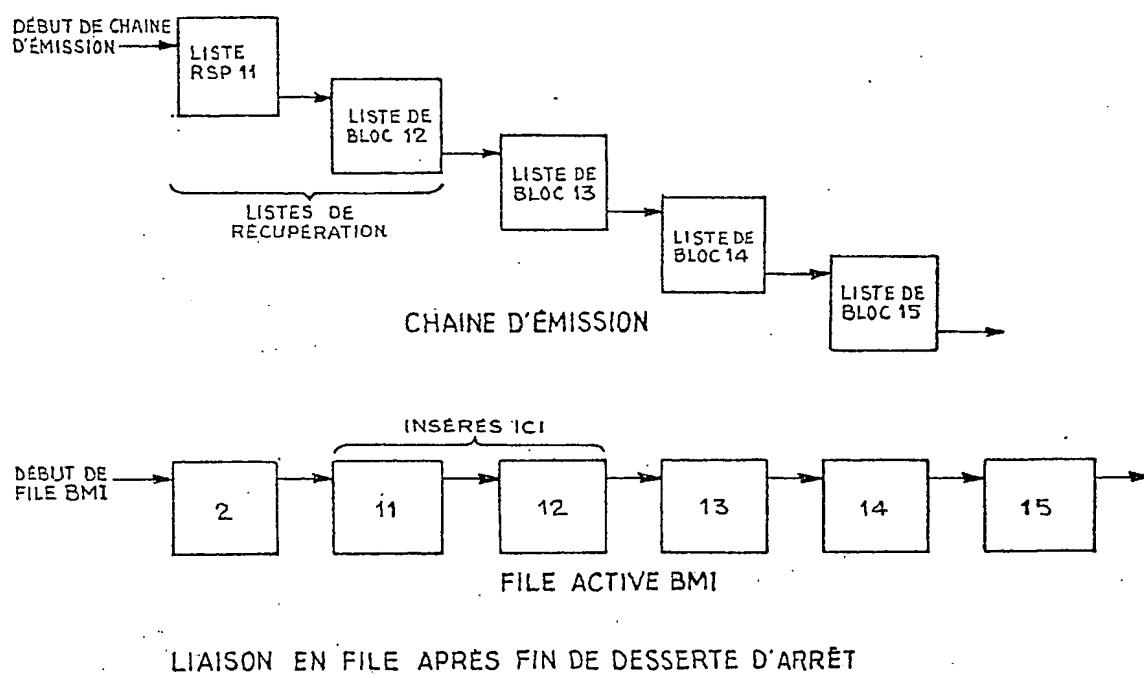
Lorsque tous les blocs de transmission de message ont reçu accusé de réception, le bloc de commande de message et le bloc de transmission restant sont libérés de la mémoire libre. Le comptage 30 de tampon de sortie est réduit d'une unité, et si sa valeur est nulle, aucun tampon n'attend l'émission ou n'attend de réponse. L'apparition d'un délai de réception indique un message manquant. Si la file d'attente active BMI contient une ou plusieurs entrées, un RSP est émis pour le numéro de séquence dans le BMI à la tête de la file, 35 et le BMI est lié à la file de récupération d'émission comme décrit dans la section Y. Un autre délai est démarré, anticipant la réponse au RSP.



EXEMPLE DE CHAINE D'ÉMISSION ET DE FILE BMI



LIAISON EN FILE AVANT DESSERTE D'ARRÊT



Il est possible qu'un message RSP soit reçu (arrêtant le délai), immédiatement suivi d'un autre message SRP de sorte que le second message SRP est reçu avant qu'un autre délai soit démarré. Même si le second SRP n'a pas arrêté le délai, un délai supplémentaire est 5 éventuellement démarré pour le second SRP. Cela signifie que des délais supplémentaires peuvent se présenter lorsqu'aucune réponse n'est attendue. Si la file active BMI est vidée, le comptage de délai est ramené à zéro et le CSCI émet une commande d'arrêt de délai pour éviter les délais supplémentaires. Puisque la file BMI indique le nombre de réponses attendues, le délai est démarré chaque fois qu'une 10 entrée est ajoutée à une file BMI vide. Chaque fois qu'une entrée est extraite de la file BMI et que cette dernière n'est pas vide, le délai est démarré à nouveau.

Lorsqu'un NAK valide est reçu, le BMI approprié est délié de la 15 file d'attente active BMI. Le BMI est ensuite relié à la file de récupération et son adresse est transférée au programme "bloc d'émission" (XMTBLK) du Tableau R-III, et le bloc est retransmis avec la priorité de protocole.

Le récepteur est constamment prêt à recevoir des données. Un 20 message est émis lorsqu'un ou plusieurs blocs de transmission sont combinés pour former le bloc de message qui est passé au commutateur de message. Le logiciel de récepteur est constitué par un maintien de chaîne de réception (RCVR) du Tableau R-VI, un interpréteur de réception (RCVINT) du Tableau R-VII, et un groupeur de messages. 25 (UNIFY) du Tableau R-VIII. Ces segments sont décrits en détail ci-dessous.

Le programme RCVR de maintien de chaîne de réception du Tableau R-VI est mis en exécution par l'interpréteur d'état du Tableau R-V ou par un autre segment qui souhaite déclencher d'autres listes de 30 réception. L'interpréteur d'état passe la commande à RCVR lorsque les états ci-après sont détectés: un code illégal pour la chaîne de réception, ou une terminaison de segments (R).

Une terminaison de segments (R) indique qu'une liste de réception a été terminée; RCVR met donc à jour la tête de l'indicateur 35 de chaîne de réception, Tableau S-II, libère l'espace de liste et réduit d'une unité le comptage de liste. RCVR tente ensuite de déclencher d'autres listes de réception, comme décrit ci-dessous.

Le programme RCVR continue à essayer d'établir des listes de réception jusqu'à ce qu'une limite de liste soit atteinte ou qu'aucune place de mémoire ne soit plus disponible. Une demande est faite à GETMEM d'un bloc de mémoire de la longueur d'un bloc de 5 transmission, plus huit mots. Si aucune place de mémoire n'est disponible, la commande est repassée au programme solliciteur. Si de la mémoire est disponible, une liste est établie pour recevoir ce bloc de mémoire. De l'espace est affecté à un bloc de commande de tampon de huit mots. Les deux premiers mots de texte sont le numéro 10 de séquence, Tableau S-XV. Ces deux premiers mots de texte sont reçus dans le bloc de commande de tampon aux mots 6 et 7. La liste de réception est liée à la fin de la chaîne de réception et le comptage des listes est incrémenté. RCVR passe alors à l'établissement d'autres listes, comme décrit ci-dessus.

15 Un code illégal pour le récepteur indique que la chaîne de réception a été terminée par les circuits. RCVR contrôle si d'autres listes sont liées à la chaîne lorsqu'elle a été terminée, mais avant que l'état de code illégal soit desservi. Si d'autres listes existent, elles sont émises à nouveau par un ATI. Le programme RCVR essaie maintenant d'établir d'autres listes de réception, comme décrit ci-dessus. Si aucune place de mémoire n'est plus disponible pour recevoir d'autres listes de réception, ou si la limite de comptage de listes est atteinte, la commande est passée à l'interpréteur d'état.

25 De l'espace pour les listes de réception est demandé par le programme de gestion d'espace de liste, et libéré pour lui. Ce programme de gestion d'espace de liste est décrit ci-dessous.

L'interpréteur de réception (RCVINT) du Tableau R-VII est mis en exécution par l'interpréteur d'état lorsque le protocole ou l'état applicable au récepteur est détecté. Lorsqu'il prend l'exécution, l'interpréteur de réception RCVINT remplace le contenu de ETCBP (indicateur de bloc de commande de tâches en exécution) par l'adresse de son propre bloc de commande de tâche.

Si RCVINT doit attendre la mémoire, l'interpréteur d'état et 35 l'interpréteur d'émission peuvent poursuivre l'exécution. Si l'interpréteur de réception RCVINT reçoit la commande pour le protocole (RSP), les blocs de données et les erreurs (erreurs CRC, dépassement et délai de texte).

Lorsqu'une erreur est détectée, RCVINT émet un NAK pour le bloc qu'il s'attendait à recevoir, Tableau S-I. Si un dépassement est détecté, RCVR est sollicité pour démarrer des listes de réception. Si une liste est active lorsque le dépassement se produit, le 5 bloc associé est relâché. Lorsqu'un NAK est émis pour le numéro de séquence attendu, le numéro de séquence est placé dans une liste NAK et le numéro de séquence attendu est incrémenté. La liste NAK est décrite ci-dessous.

Un RSP est une demande d'une réponse à retransmettre pour le 10 numéro de séquence spécifié. Si le numéro de séquence est supérieur au numéro de séquence du prochain bloc attendu, mais à l'intérieur de l'intervalle d'acceptation, un NAK est émis pour ce numéro de séquence, ainsi que pour chacun des blocs manquants. Il est supposé que certains des RSP ont été perdus. Si le numéro de séquence spé- 15 cifié par le RSP est inférieur au numéro de séquence du prochain bloc attendu, et que ce numéro de séquence apparaît dans la liste NAK, un NAK est retransmis pour ce bloc. Si le numéro spécifié n' apparaît pas dans la liste NAK, il est supposé que le bloc a été reçu sans erreur et un ACK est émis pour le bloc. Si le numéro spé- 20 cifié est trop grand, le protocole RSP est ignoré. Si le RSP est tronqué, l'émetteur attend une réponse pour le RSP ignoré et émet éventuellement un autre RSP.

RCVINT reçoit l'exécution par l'interpréteur d'état lorsqu'un bloc de transmission a été reçu. RCVINT détermine la longueur réelle 25 du bloc et établit le bloc de commande de tampon, comme le montre le Tableau S-XIK. Si le bloc possède le numéro de séquence attendu, le paramètre de numéro de séquence est incrémenté et un ACK est émis pour le bloc. Si le numéro est supérieur à celui attendu, un NAK est émis pour chacun des blocs manquants, une entrée est faite pour 30 chaque bloc manquant dans la liste NAK et le numéro de séquence attendu est incrémenté pour inclure le dernier bloc reçu. Un ACK est émis pour le bloc. Si le numéro de séquence du bloc est à l'exté- rieur de l'intervalle d'acceptation, le bloc est éliminé.

Si un bloc avec un numéro de séquence inférieur au numéro at- 35 tendu est reçu, et que le numéro apparaît dans la liste NAK, un ACK est émis pour le bloc et le numéro est sorti de la liste NAK. Si le numéro n'apparaît pas dans la liste NAK, le bloc est éliminé.

TABLEAU S-XIX

Bloc de commande de tampon pour l'entrée au groupeur de messages

0	Indicateur avant	
1	N° de séquence	
2	Marqueur ETX	N° de bloc de transmission
3	Longueur de bloc	
4		
5		
6	Réservé	
7	Indicateur arrière	
	↑	
	Données	
	↓	

TABLEAU S-XX

Entrée de file de groupeur

0	Indicateur avant
1	Indicateur arrière
2	Adresse TCB UNIFY
3	Adresse TCB récepteur
4	SI PRI
5	
6	Canal ID
7	Adresse de bloc

Lorsqu'un bloc a été reçu correctement, il est transféré au groupeur de messages (UNIFY) représenté par le Tableau R-VIII. Le programme RCVINT établit une entrée de fil pour UNIFY, Tableau S-XX, et lit l'entrée de file à la fin de la file pour UNIFY, à moins que 5 le bloc soit un bloc de récupération (une retransmission). Une entrée de file d'attente de bloc de récupération est liée à la tête de la file pour UNIFY. Toutes les données suivant un bloc erroné doivent attendre jusqu'à ce que le bloc de récupération soit reçu, c'est-à-dire que les blocs de récupération reçoivent la priorité 10 la plus élevée dans la file.

Le Tableau S-XXI, montre le format d'un segment de liste NAK. Chaque segment de la liste NAK possède un préambule de quatre mots dont le contenu est représenté sur le Tableau S-XXI. Après le préambule se trouvent un certain nombre d'intervalles dans lesquels 15 sont placés les numéros de séquence des blocs correspondant à des NAK. Les intervalles vides sont remplis avec des zéros. Lorsqu'un segment de liste NAK est complètement vidé, le segment est libéré pour de la mémoire libre.

Lorsqu'un bloc de récupération a été reçu, le numéro de séquence 20 ce correspondant est recherché dans la liste. Si ce numéro est trouvé, un zéro est mémorisé dans l'intervalle. Si le segment entier est alors vidé, il est libéré. Pour empêcher un segment particulier de mémoire libre d'être réservé en permanence pour la liste NAK, les intervalles ne sont pas réutilisables. Si une autre entrée doit être 25 faite dans la liste NAK et que la fin du segment en cours a été atteinte, un autre bloc de mémoire est sollicité pour le prochain segment de liste NAK. Le nouveau segment est lié à la tête de la chaîne des segments de liste NAK. Lorsqu'un numéro est recherché dans la liste NAK, la recherche s'effectue à partir de la fin de la file. 30 Lorsqu'un intervalle est recherché, seul le segment en tête de la chaîne est contrôlé, en ce qui concerne l'espace.

Les numéros de séquence sont dans l'ordre dans lequel les blocs de récupération sont attendus. Si un numéro est sauté, l'émetteur doit émettre un RSP pour ce numéro. Chaque fois qu'un numéro est 35 recherché dans la liste et qu'il est trouvé, il est automatiquement sorti de la liste NAK. Si un autre NAK est émis pour ce numéro, ce dernier est introduit à nouveau dans la liste NAK.

TABLEAU S-XXIFormat de segment de liste NAK

Indicateur avant
Indicateur arrière
N° d'intervalles vides
Prochain intervalle disponible
Entrée 1
Entrée 2
.
.
Entrée n
Intervalle 1
Intervalle 2
.
.
Intervalle m

TABLEAU S-XXIITable de file de canal

0	Indicateur de table d'entrée de file pour canal 0
1	Indicateur de table d'entrée de file pour canal 1
2	.
3	.
4	.
5	
6	
7	Indicateur de table d'entrée de file pour canal 7

Marqueur canal 0
Marqueur canal 1

.
.

Le groupeur de message (UNIFY) du Tableau R-VIII préleve des blocs de transmission comme entrées et les groupe dans un bloc de mémoire pour former un bloc de texte ou un message qui est transmis au commutateur de message. UNIFY est mis en file par RCVINT (inter-  
5 prêteur de réception) du Tableau R-VII chaque fois qu'un bloc de transmission a été reçu correctement. Le format d'entrée de file est représenté sur le Tableau S-XX. Le bloc de commande de tampon pour le bloc de transmission doit être mis en format comme le montre le Tableau S-XIX.

10 Lorsque UNIFY vide la mémoire, il met en format une entrée de file pour lui-même avec une adresse de bloc zéro. Une entrée est faite dans la file de canal, Tableau S-XX, indiquant celui des canaux qui possède une entrée de file "non mémoire" prédominante. Une seule entrée de file de ce genre, est faite pour chaque canal. Lors-  
15 qu'une telle entrée de file est détectée par UNIFY, l'entrée de table de canaux est effacée. Le programme a une structure qui permet des canaux multiples, mais la table de marqueur pour chaque canal, comme le montre le Tableau S-XXII, n'autorise que le canal zéro.

Lorsque UNIFY obtient l'exécution, il utilise le canal ID de  
20 l'entrée de file pour établir un indicateur vers la table de données de canal, Tableau S-I. Un marqueur est positionné pour indiquer qu'une entrée de file de bloc est traitée. Si le marqueur ETX est placé à l'état "1" pour la table de bloc S-XIX et si le numéro de bloc de transmission est zéro, le bloc est le premier et le dernier d'un  
25 message, et le message est déterminé. Si la longueur du bloc est égale à deux, indiquant qu'un seul numéro de séquence a été transmis, le bloc est libéré. Les messages ne contenant qu'un numéro de séquence sont supposés être des messages d'inactivité provenant de l'émetteur.

30 Les blocs de transmission pour des messages qui nécessitent plus qu'un bloc ne sont pas en mémoire contigüe. Un bloc de mémoire pour l'ensemble du message est retrouvé dans la mémoire libre et les données des blocs de transmission sont amenées dans le bloc de messages. Un bloc de transmission est associé à deux numéros de séquence, Tableau S-XV. Le numéro de bloc de transmission indique si les données du bloc de transmission doivent être placées dans le bloc de message. Les numéros de séquence du premier bloc de transmission d'un message est affecté au bloc de message et il est utilisé pour

positionner le bloc de message lorsqu'un bloc de transmission est reçu pour ce message. Lorsqu'un bloc de transmission est reçu, le numéro de séquence du bloc de message est déterminé en soustrayant le numéro de bloc de transmission du numéro de séquence du bloc. La 5 file d'entrée des blocs de message est ensuite explorée à la recherche de ce bloc de message. Si ce dernier n'est pas dans la file, la mémoire est sollicitée pour un bloc de message. Si de la mémoire est disponible, le bloc de commande de message est mis en format comme le montre le Tableau S-XXIII, et le message est lié à la file d'entrée.

La file d'entrée est maintenue ordonnée, avec le message de numéro inférieur en tête de la file. Le message en tête de file est terminé et il est transféré au commutateur de message avant tout autre message. Chaque fois qu'un bloc de message doit être lié à la 15 file d'entrée, UNIFY explore la file à la recherche du point d'insertion du bloc, basé sur le numéro de séquence.

Lorsque le bloc de message est trouvé, le numéro de bloc de transmission est utilisé pour calculer l'adresse à laquelle les données doivent être mémorisées. Le numéro de bloc de transmission (TBN) 20 est multiplié par sa longueur (TBS) et additionné à la première adresse de mot du message. Les données sont transférées du bloc de transmission au bloc de message. Si le marqueur ETX est à l'état "1" pour le bloc de transmission, le numéro de bloc de transmission est mémorisé dans le bloc de commande de message, Tableau S-XXIII. Lorsque 25 le nombre de blocs reçus pour le message est égal au numéro de bloc de transmission du bloc ETX, augmenté d'une unité, le message est terminé.

Lorsqu'un bloc ETX a été reçu, la longueur du message est connue et l'espace inutilisé dans le bloc de message est libéré si plus 30 de 64 mots ne sont pas utilisés. Le bloc de transmission est libéré pour la mémoire libre après que les données qu'il contenait ont été passées au bloc de message. Les blocs de transmission contenant le message entier sont liés à la file d'entrée et ne sont pas libérés.

TABLEAU S-XXIII

Bloc de commande de message pour des  
blocs dans la file d'entrée

Indicateur avant
N° de séquence de message
N° de bloc de transmission ETX
Nombre de blocs reçus
Réserve
Indicateur arrière
↑
Message
↓

Lorsqu'un message a été terminé, UNIFY contrôle si le message se trouve ou non à la tête de la file. S'il se trouve à la tête de la file, le message est passé au commutateur de message, puis UNIFY contrôle si le message suivant de la file d'entrée est terminé, et il passe au commutateur de message s'il est prêt. Si le message en tête de la file d'entrée n'est pas terminé, la file de blocs de transmission en attente est explorée.

Lorsque UNIFY ne peut obtenir de mémoire pour un bloc de message, le bloc de transmission que UNIFY a traité est lié à la fin de la file de blocs de transmission en attente, et une entrée de file "non mémoire" est faite pour le canal. Chaque fois que UNIFY termine le traitement d'un bloc de transmission, il recherche des entrées dans la file de blocs de transmission en attente et traite les blocs de transmission de la file. UNIFY tente de traiter chaque bloc de la file, même si certains peuvent être sautés en raison d'un manque de mémoire pour un bloc de message. Lorsque toute la file a été contrôlée ou traitée, la commande est transférée au processeur d'appel. Le bloc de transmission en attente est maintenu en ordre de bas en haut de sorte que la file d'entrée est également ordonnée.

Différents modes de réalisation de l'invention ont été décrits en détail. Mais il faut noter que les descriptions de ces modes spécifiques de réalisation ne sont que des exemples et que de nombreuses modifications peuvent y être apportées sans sortir du cadre de l'invention ni de son esprit.

Revendications

1 - Procédé de commande des postes dans un dispositif de transmission dans lequel un poste émetteur transmet des blocs de données vers un poste récepteur, procédé caractérisé en ce qu'il consiste à 5 transmettre en permanence dudit poste émetteur audit poste récepteur, des blocs de données comprenant chacun un code d'identification correspondant, à mémoriser audit poste récepteur, les codes d'identification de ceux des blocs de données reçus qui contiennent une erreur, à transmettre dudit poste récepteur audit poste émetteur les 10 codes d'identification des blocs de données reçus qui contiennent des erreurs, lorsque ledit poste émetteur devient disponible, et à retransmettre du poste émetteur au poste récepteur, seulement ceux des blocs de données qui contenaient des erreurs, spécifiées par les codes d'identification reçus dudit poste récepteur.

15 2 - Procédé selon la revendication 1, caractérisé en ce qu'il consiste également à contrôler les blocs de données reçus audit poste récepteur de manière à déterminer s'ils contiennent des erreurs.

3 - Procédé selon la revendication 2, caractérisé en ce que l'opération de contrôle des blocs de données reçus consiste à effectuer 20 une comparaison de redondance cyclique sur les données au moyen d'un code de redondance cyclique émis par le poste émetteur.

4 - Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que chacun desdits postes comporte à la fois un émetteur et un récepteur, des données étant émises et reçues simultanément par les deux postes.

5 - Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que les blocs de données contiennent des informations codées du type binaire.

6 - Dispositif de transmission destiné à la mise en oeuvre du 30 procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte un dispositif monté dans ledit poste émetteur et destiné à émettre continuellement vers ledit poste récepteur des blocs de données comprenant chacun un code d'identification correspondant, un dispositif monté dans ledit poste récepteur et destiné 35 à mémoriser les codes d'identification de ceux des blocs de données reçus qui contiennent une erreur, un dispositif monté dans ledit poste récepteur et destiné à émettre vers ledit poste émetteur, les codes d'identification des blocs de données reçus qui contiennent

des erreurs, lorsque ledit poste émetteur devient disponible, et un dispositif monté dans ledit poste émetteur et qui réagit aux codes d'identification reçus dudit poste récepteur en retransmettant vers ledit poste émetteur, seulement ceux des blocs de données qui contenaient des erreurs.

7 - Dispositif selon la revendication 6, caractérisé en ce que ledit poste récepteur comporte également un dispositif destiné à contrôler si les blocs de données reçus contiennent des erreurs.

8 - Dispositif selon la revendication 7, caractérisé en ce que ledit dispositif destiné à contrôler les données reçues comporte un dispositif destiné à diviser la valeur numérique binaire du bloc de données par une constante et un dispositif destiné à comparer le reste de ladite division avec un reste fourni par ledit poste émetteur pour le même bloc de données.

15 9 - Dispositif selon la revendication 8, caractérisé en ce que ledit poste émetteur comporte également un dispositif destiné à diviser la valeur numérique binaire de chaque bloc de données par une constante, et à émettre un code représentant le reste de cette division vers ledit poste récepteur.

20 10.- Dispositif selon l'une quelconque des revendications 6 à 9, caractérisé en ce que lesdits postes émetteur et récepteur comportent tous deux des émetteurs et des récepteurs identiques destinés à transmettre simultanément des blocs de données du poste émetteur au poste récepteur et du poste récepteur au poste émetteur.

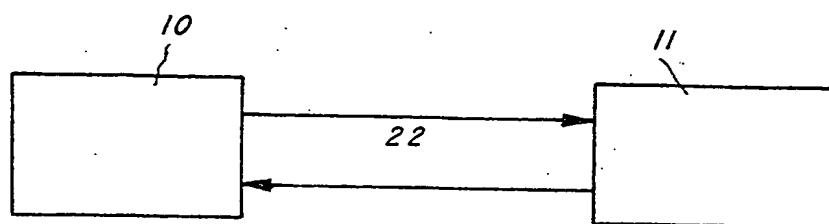


Fig. 1

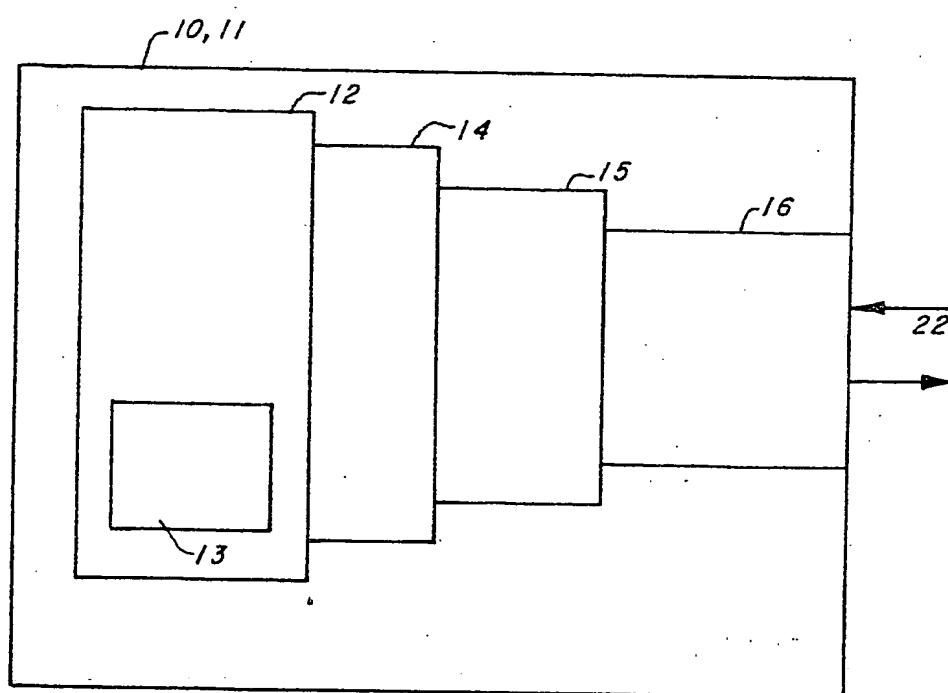


Fig. 2

2266389

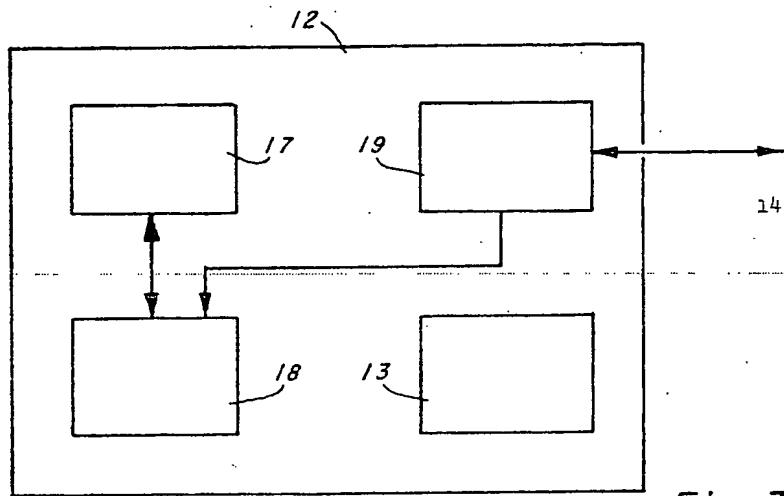


Fig. 3

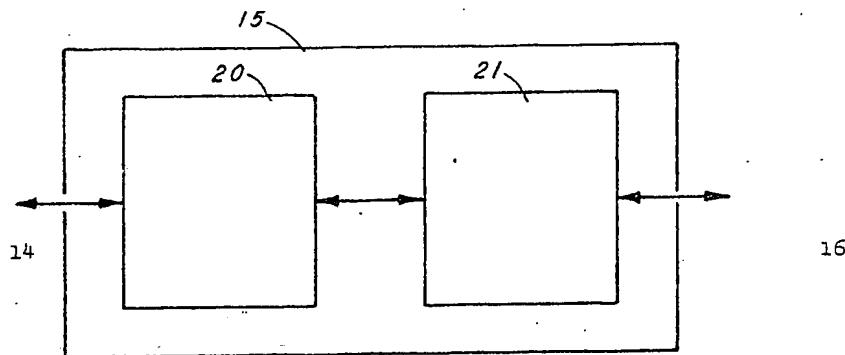
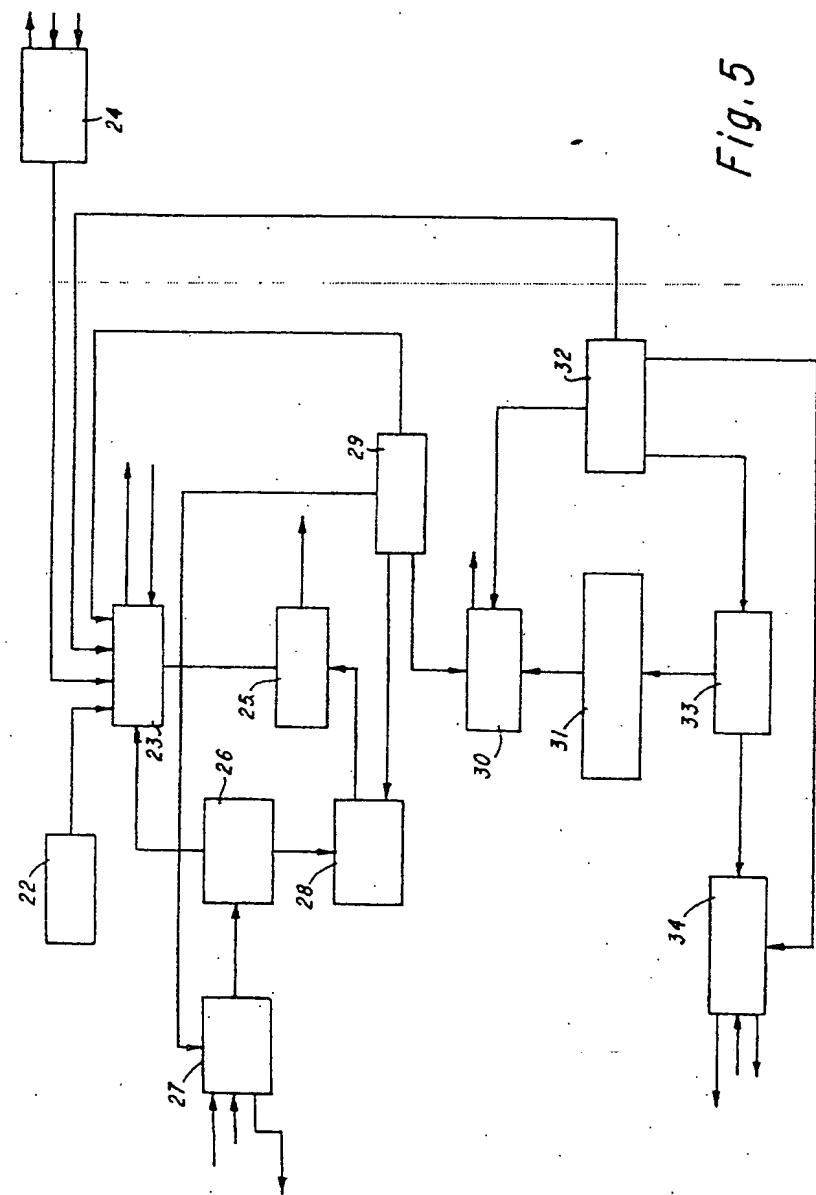


Fig. 4

Fig. 5



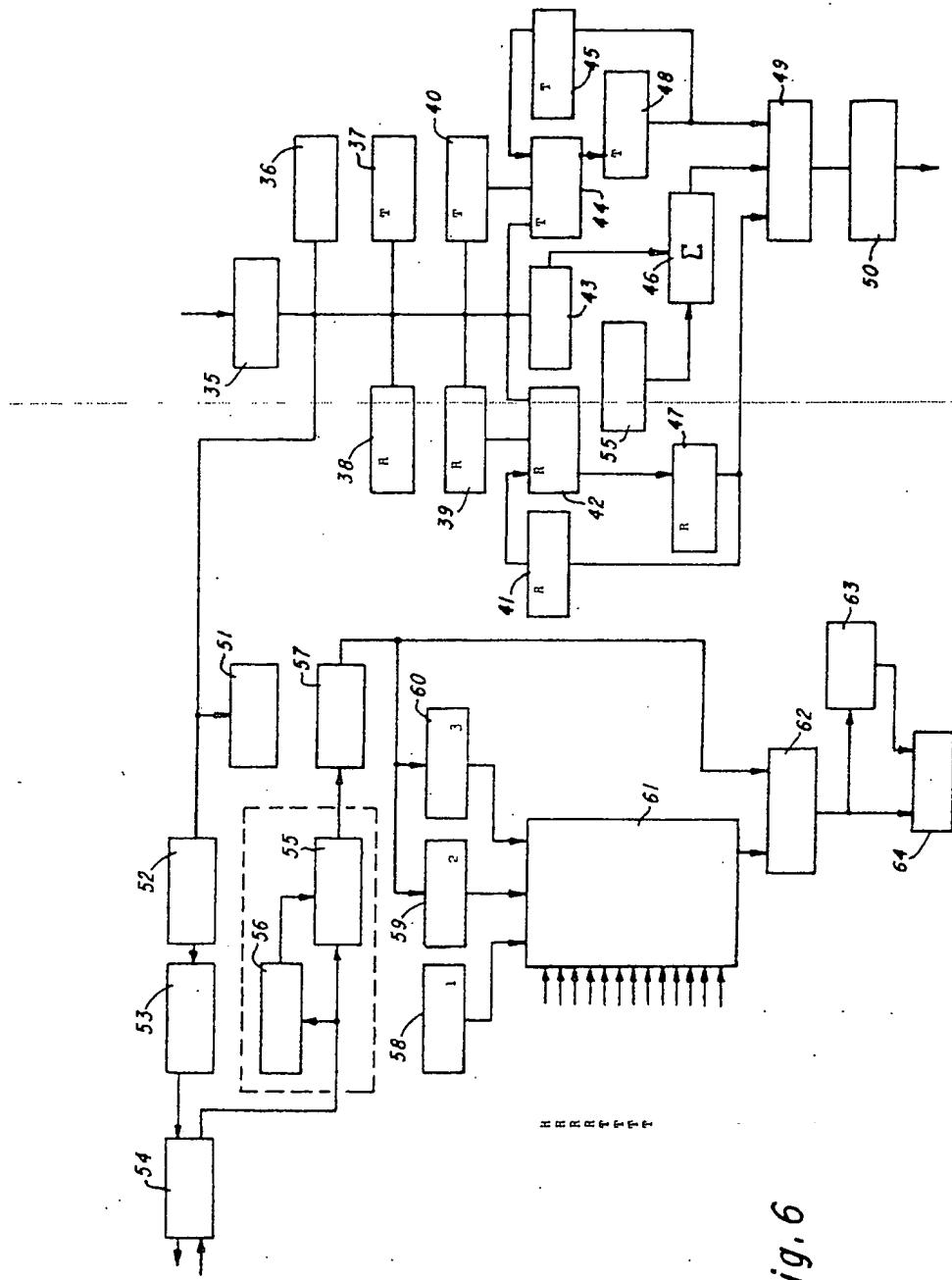


Fig. 6

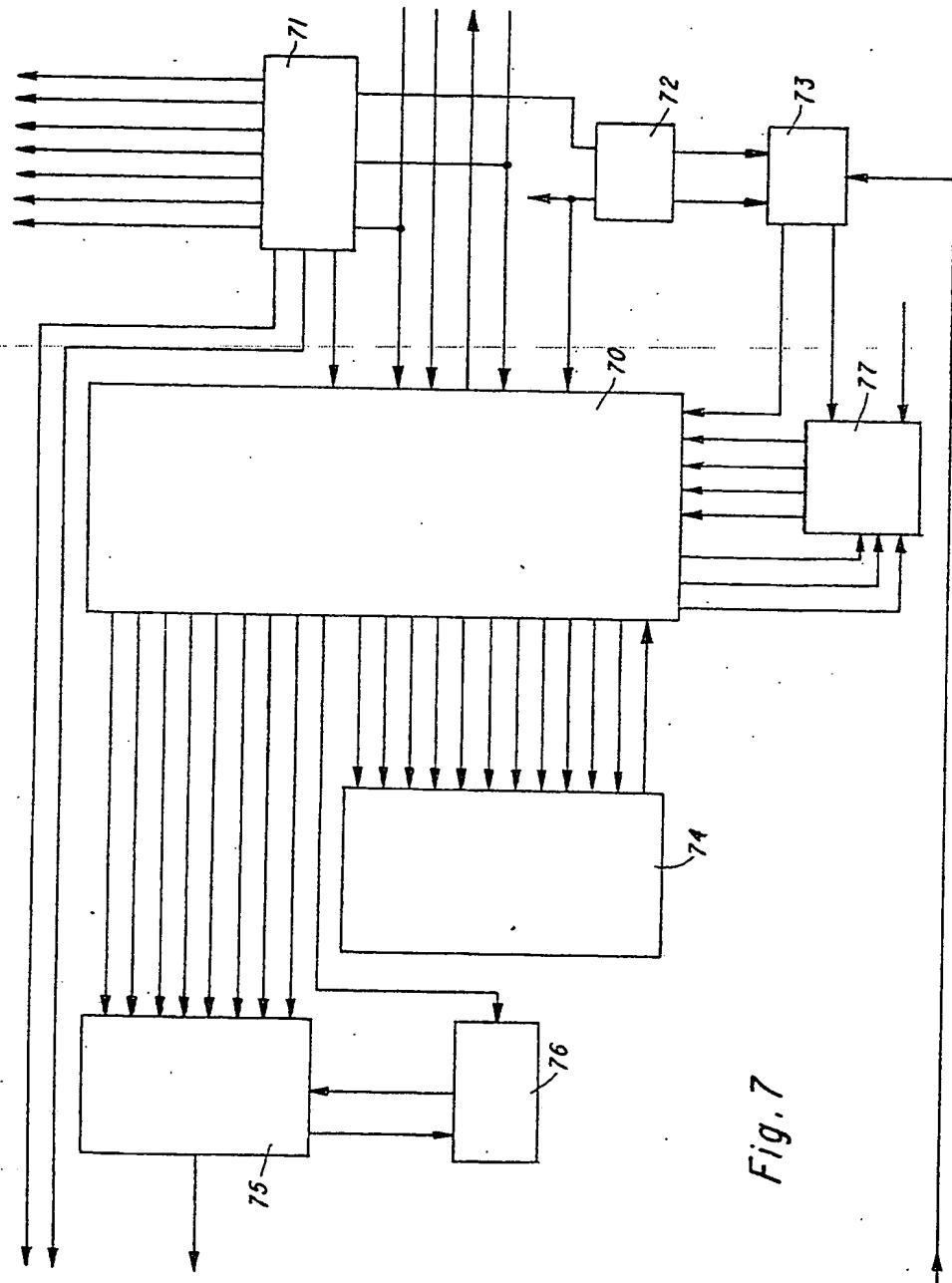
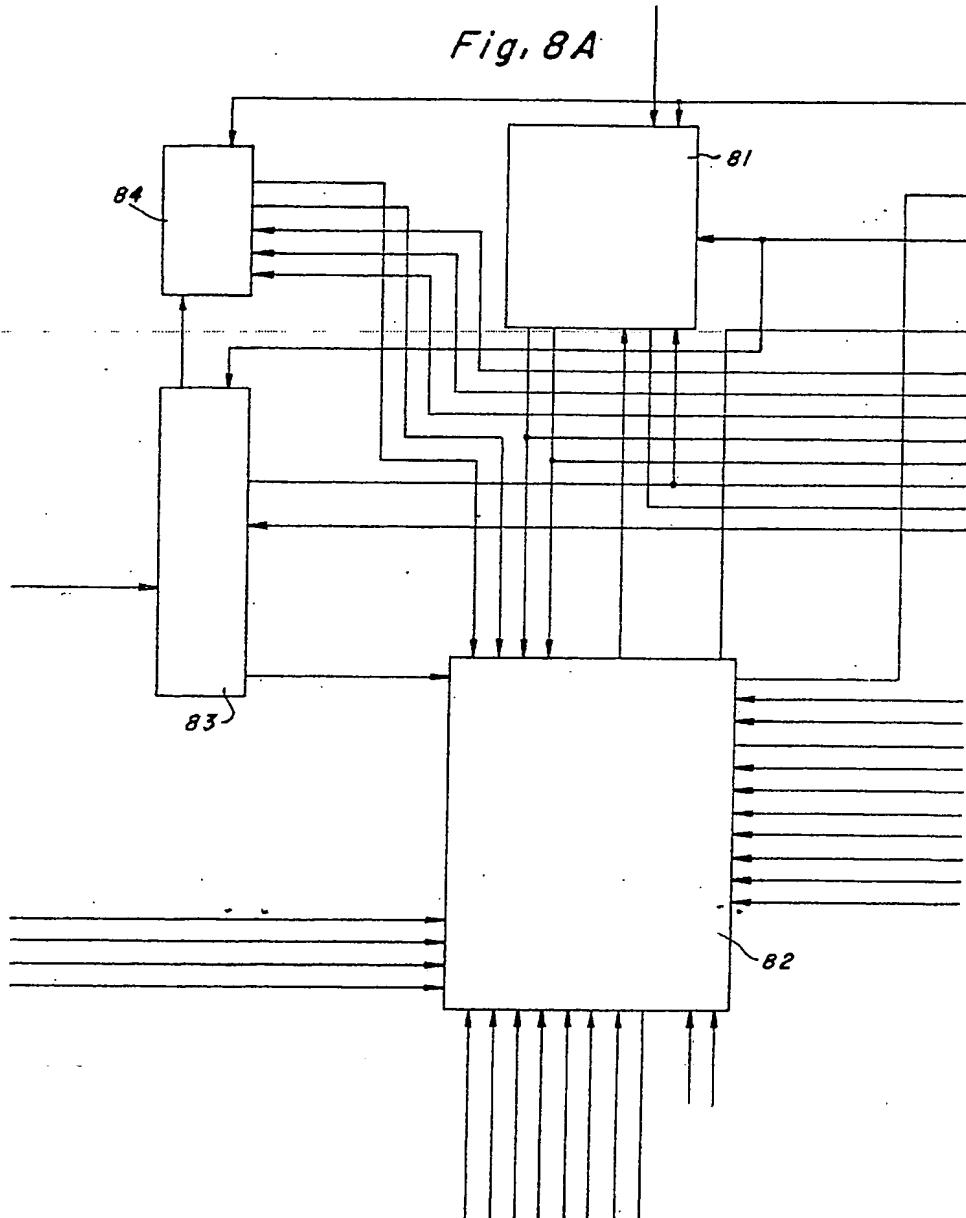
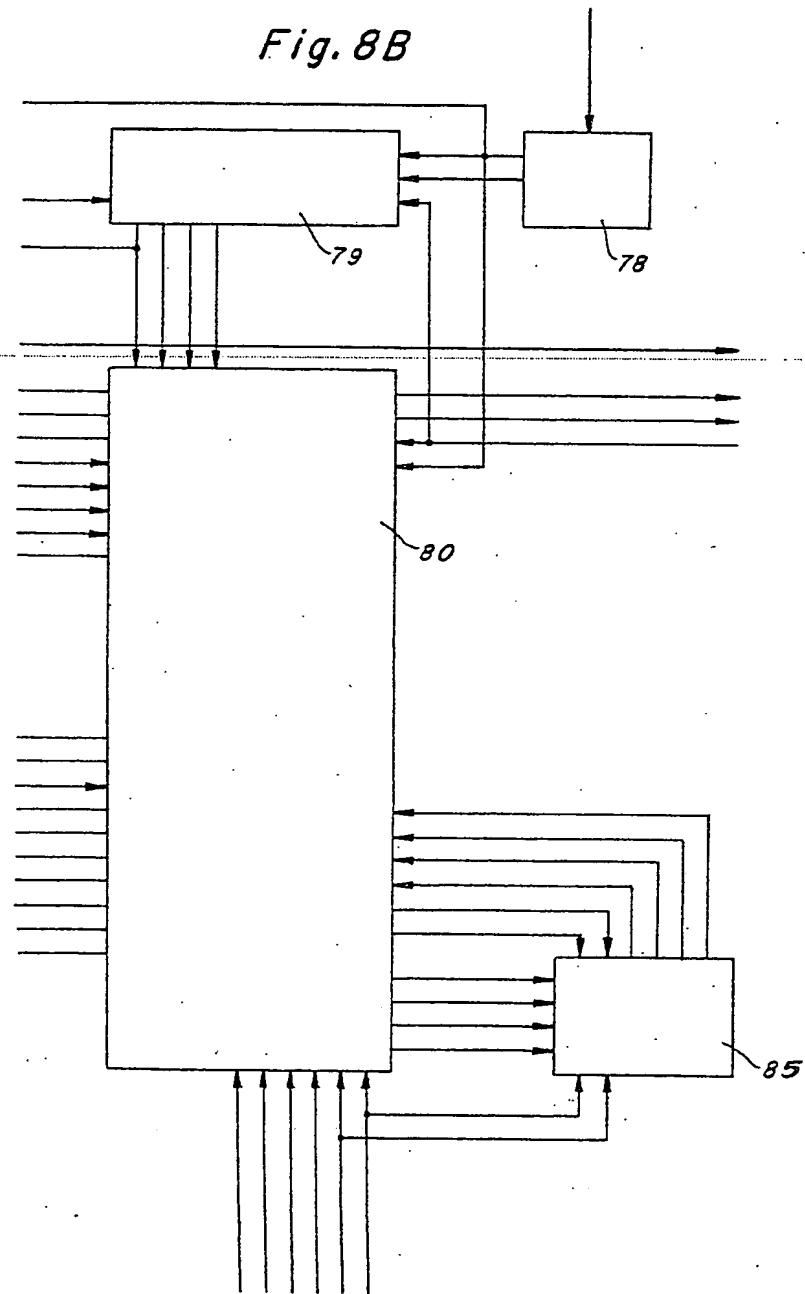


Fig. 7

Fig. 8A



*Fig. 8B*

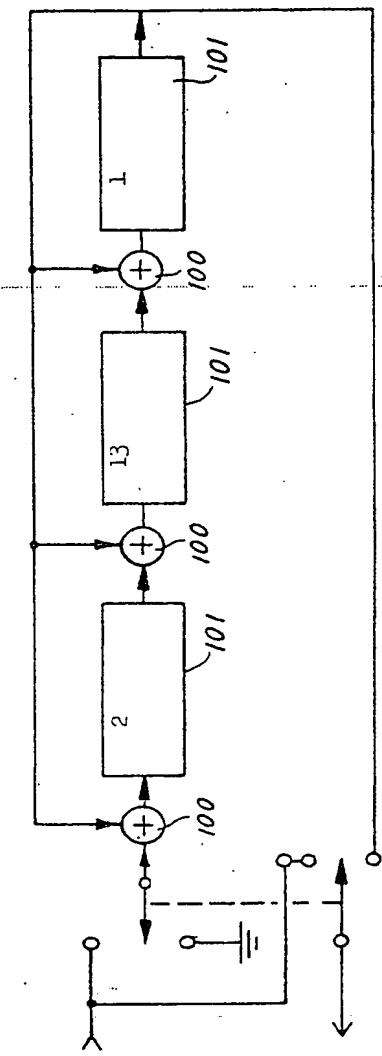


Fig. 9A

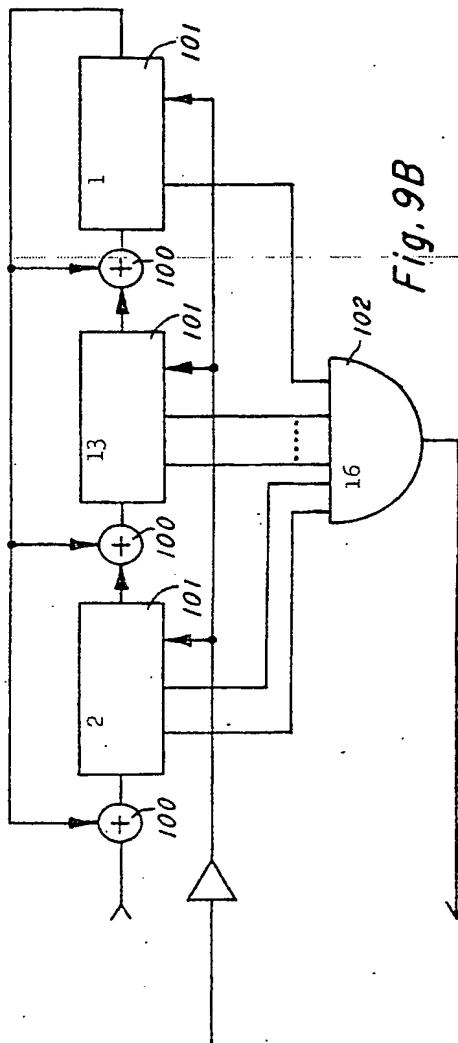


Fig. 9B

